



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03174766 A**(43) Date of publication of application: **29.07.91**

(51) Int. Cl. **H01L 27/108**
H01L 21/28
H01L 27/04

(21) Application number: **02084372**(22) Date of filing: **30.03.90**(30) Priority: **08.09.89 JP 01233815**(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **OKABE NAOKO**
YAMADA TAKASHI
TAKATOU HIROSHI
SUNOCHI KAZUMASA
INOUE SATOSHI
NITSUTAYAMA AKIHIRO

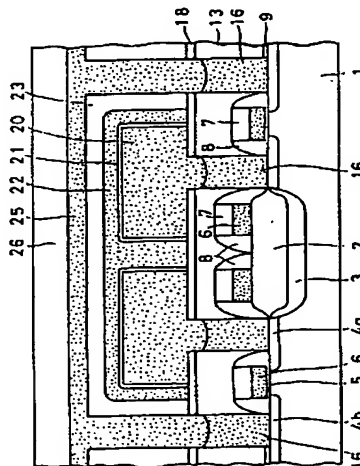
(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a finer semiconductor device having improved reliability by a method wherein at least one of a storage node contact or a bit line contact forms a first contact, conductors are buried in the contact and an interlayer insulating film is formed thereon, and then a second contact is formed at a part of the interlayer insulating film.

CONSTITUTION: Upper and side walls of the gate electrode 6 of an MOSFET is covered with insulating films 7, 8, a bit line contact and a storage node contact with source and drain regions 4a, 4b and further contact with a polycrystalline silicon layer 16 buried upto a position higher than a gate electrode, and they are formed in extreme proximate to the gate electrode. By such arrangement, sufficient capacitance can be ensured in despite of reduced occupation area of memory cell, resulting in prevention of short circuit between the storage node and the gate electrode, reduction of size and enhancement of reliability.



⑫ 公開特許公報(A) 平3-174766

⑤ Int. Cl.⁹

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月29日

H 01 L 27/108
21/28

3 0 1 C

7738-5F
8624-5F

H 01 L 27/10

3 2 5 C※

審査請求 未請求 請求項の数 9 (全64頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 平2-84372

⑯ 出 願 平2(1990)3月30日

優先権主張 ⑰ 平1(1989)9月8日 ⑱ 日本(JP) ⑲ 特願 平1-233815

⑳ 発 明 者 岡 部 直 子 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内㉑ 発 明 者 山 田 敬 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内㉒ 発 明 者 高 東 宏 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

㉓ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉔ 代 理 人 弁 理 士 木 村 高 久
最終頁に続く

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) MOSFETと、キャパシタとによってセルを形成すると共に、

前記MOSFETの形成された基板表面を覆う絶縁膜に開口されたビット線コンタクトを介してこのMOSFETのソースまたはドレイン領域の一方に接続するようにビット線を形成すると共に、前記絶縁膜に開口されたストレージノードコンタクトを介してソースまたはドレイン領域の残る一方にキャパシタのストレージノード電極が接続するようにこの絶縁膜上にキャパシタを積層した積層型キャパシタ構造の半導体記憶装置を含む半導体装置において、

ストレージノードコンタクトとビット線コンタクトの少なくとも一方が、

ゲート電極上層の第1の層間絶縁膜に開口

された第1のコンタクトと、

該第1のコンタクトにゲート電極より高い位置まで埋め込まれた導体層にコンタクトするように、この導体層の上層に形成された第2の層間絶縁膜に開口された第2のコンタクトとから構成されていることを特徴とする半導体装置。

(2) 前記ストレージノードコンタクトとビット線コンタクトが、

同一工程でゲート電極上層の第1の層間絶縁膜に開口された第1のコンタクトと、

該第1のコンタクトにゲート電極より高い位置まで埋め込まれた導体層にコンタクトするように、この導体層の上層に形成された第2の層間絶縁膜にそれぞれ別工程で開口された第2のコンタクトとから構成されていることを特徴とする請求項(1)に記載の半導体装置。

(3) 前記キャパシタは、前記ビット線よりも上層に形成されていることを特徴とする請求項(1)または請求項(2)に記載の半導体装置。

(4) 前記ストレージノードコンタクト領域に埋

め込まれた導体層は、素子分離領域まで張り出して、この導体層にコンタクトするための第2のコンタクトは素子分離領域上において開口されるように構成されていることを特徴とする請求項(2)または請求項(3)に記載の半導体装置。

(5) 前記ビット線コンタクト領域に埋め込まれた導体層は、素子分離領域まで張り出して、この導体層にコンタクトするための第2のコンタクトは素子分離領域上において開口されるように構成されていることを特徴とする請求項(2)または請求項(3)に記載の半導体装置。

(6) 前記導体層は、上部において広がるように形成されていることを特徴とする請求項(1)乃至請求項(5)のいずれかに記載の半導体装置。

(7) MOSFETと、キャパシタとによってセルを形成すると共に、

前記MOSFETの形成された基板表面を覆う絶縁膜に開口されたビット線コンタクトを介してこのMOSFETのソースまたはドレイン領域の一方に接続するようにビット線を形成すると

- 3 -

形成工程とを含み、これら第1および第2のコンタクトによってストレージノードコンタクトあるいはビット線コンタクトの一方を構成するようにしたことを特徴とする半導体記憶装置の製造方法。

(8) 前記第1のコンタクト形成工程が、ゲート電極よりも上部においてコンタクトの開口面積が大きくなるように第1の層間絶縁膜をエッチングする工程を含むようにしたことを特徴とする請求項(7)に記載の半導体装置の製造方法。

(9) 前記導体層埋め込み工程後、第2の層間絶縁膜の形成に先立ち、

前記第1の層間絶縁膜を前記埋め込み導体層の上表面よりも下までエッチングする第1の層間絶縁膜エッチング工程を含むようにしたことを特徴とする請求項(7)または請求項(8)に記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体装置およびその製造方法に係

- 5 -

共に、前記絶縁膜に開口されたストレージノードコンタクトを介してソースまたはドレイン領域の踐る一方にキャパシタのストレージノード電極が接続するようにこの絶縁膜上にキャパシタを積層した積層型キャパシタ構造の半導体記憶装置を含む半導体装置の製造方法において、

半導体基板内にMOSFETを形成するMOSFET形成工程と、

ゲート電極の上層に第1の層間絶縁膜を形成する第1の層間絶縁膜形成工程と、

前記MOSFETのソース・ドレインの内少なくとも一方にコンタクトするように、基板表面を露呈せしめる第1のコンタクト形成工程と、

前記第1のコンタクト内にゲート電極よりも高い位置まで到達するように導体層を埋め込む導体層埋め込み工程と、

この上層に第2の層間絶縁膜を形成する第2の層間絶縁膜形成工程と、

この第2の層間絶縁膜の一部を選択的に除去し前記導体層を露呈せしめる第2のコンタクト

- 4 -

り、特にMOSFETやDRAM等におけるコンタクトの形成方法に関する。

(従来の技術)

近年、半導体技術の進歩、特に微細加工技術の進歩により、いわゆるMOS型DRAMの高集積化、大容量化が急速に進められている。

この高集積化に伴い、情報(電荷)を蓄積するキャパシタの面積は減少し、この結果メモリ内容が誤って読み出されたり、あるいは α 線等によりメモリ内容が破壊されるソフトエラーなどが問題になっている。

このような問題を解決し、高集積化、大容量化をはかるための方法の1つとして、MOSキャパシタをメモリセル領域上に積層し、該キャパシタの1電極と、半導体基板上に形成されたスイッチングトランジスタの1電極とを導通させるようにすることにより、実質的にキャパシタの占有面積を拡大し、MOSキャパシタの静電容量を増大させるようにした積層型メモリセルと呼ばれるメモリセル構造が提案されている。

- 6 -

この積層型メモリセルは、第55図(a)乃至第55図(c)に示すように、p型のシリコン基板101内に形成された素子分離絶縁膜102によって素子分離された1メモリセル領域内に、n-形拡散層からなるソース・ドレイン領域104a、104bと、ソース・ドレイン領域104a、104b間にゲート絶縁膜105を介してゲート電極106とを形成しスイッチングトランジスタとしてのMOSFETを構成すると共に、この上層にMOSFETのソース領域104aにコンタクトするようにMOSFETのゲート電極106および隣接メモリセルのMOSFETのゲート電極(ワード線)上に絶縁膜107を介して形成された第1のキャパシタ電極110と、第2のキャパシタ電極112によってキャパシタ絶縁膜111を挟みキャパシタを形成してなるものである。

この積層型メモリセルは、次のようにして形成される。

すなわち、この積層型メモリセルは、p型のシリコン基板101内に、n-形拡散層からなるソ

— 7 —

12と第1のキャパシタ電極110とによってキャパシタ絶縁膜111を挟んだMOSキャパシタが形成される。

最後に、層間絶縁膜107'を形成し、ビット線コンタクト113を形成すると共に、モリブデン・ポリサイド等によりビット線を形成し、さらにこの上層に層間絶縁膜107''を形成して、MOSFETとMOSキャパシタとからなるメモリセルが得られる。

このような構成では、ストレージノード電極を素子分離領域の上まで拡大することができ、また、ストレージノード電極の段差を利用できることから、キャパシタ容量をプレーナ構造の数倍乃至数十倍に高めることができる。

(発明が解決しようとする課題)

しかしながら、このような積層型メモリセル構造のDRAMにおいても、高集積化に伴う素子の微細化が進むにつれて、ストレージノード・コンタクトとゲート電極との間の距離(第55図(a)に11で示す)およびビット線コンタクトとゲ

— 9 —

ース・ドレイン領域104a、104bと、ソース・ドレイン領域104a、104b間にゲート絶縁膜105を介してゲート電極106とを形成しスイッチングトランジスタとしてのMOSFETを形成する。

次いで、基板表面全体に絶縁膜107としての酸化シリコン膜を形成した後、ドレイン領域104aへのコンタクトを行うためのストレージノードコンタクト108を形成し、高濃度にドーパされた多結晶シリコン層からなる第1のキャパシタ電極110のパターンを形成する。

そして、この第1のキャパシタ電極110上に酸化シリコン膜等からなるキャパシタ絶縁膜111および、多結晶シリコン層を順次堆積する。

この後、多結晶シリコン層内にリンなどのイオンをイオン注入し、900℃120分程度の熱処理を行い、所望の導電性を持つように高濃度にドーパされた多結晶シリコン層を形成する。

そして、高濃度にドーパされた多結晶シリコン層をパターニングして、第2のキャパシタ電極1

— 8 —

ト電極との間の距離(第55図(a)に12で示す)も縮めざるを得なくなっている。このため、ストレージノードとゲート電極との間およびビット線とゲート電極との間の短絡を招き易く、これが信頼性低下の原因となっている。

また、このような微細化に伴い、十分なキャパシタ容量の確保が困難となってきた。

例えば、ストレージノード電極を素子分離領域の上まで拡大することができても平面部分の面積は非常に小さい。そして側面部分を利用するためにストレージノード電極の厚みを厚くすれば段差が非常に大きくなり、キャパシタの上層にビット線コンタクトを形成しようとするとき基板間での距離が遠いためにオーバーエッチング時間が長くなり、信頼性の低下を招くおそれがあった。

また、微細化に伴い、コンタクトに形成される導体層同志の距離も著しく縮まってきており、これらの間にある層間絶縁膜13を通じて両者が短絡を生じやすいという問題がある。この層間絶縁膜はコンタクトの形成に際してエッチング処理等

— 10 —

の処理を受けており劣化していることがある。これが特に、短絡の大きな原因となっている。

本発明は、前記実情に鑑みてなされたもので、メモリセル占有面積の縮小化にもかかわらず、十分なキャパシタ容量を確保し、ストレージノードとゲート電極との間、ビット線とゲート電極との間、ストレージノードとビット線との間の短絡を防止し、小形で信頼性の高いメモリセル構造およびその製造方法を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

そこで本発明の第1では、ストレージノードコンタクトおよびまたはビット線コンタクトの少なくとも一方は、ゲート電極上に第1の層間絶縁膜を形成した後、第1のコンタクトを形成してこの第1のコンタクト内に導電体を埋め込み、さらにこの上層に第2の層間絶縁膜を形成し、この第2の層間絶縁膜の一部を選択的にエッチングし、前記導電体を露出せしめるように第2のコンタクトを形成している。

— 1 1 —

また、望ましくはビット線コンタクト領域に埋め込まれた導体層を、素子分離領域まで張り出すように形成し、この導体層にコンタクトするための第2のコンタクトが素子分離領域上において開口するように構成している。

さらに望ましくはこの導体層を、ゲート電極の上部において広がるように形成している。

また本発明の方法では、半導体基板内にMOSFETを形成し、このMOSFETのゲート電極の上層に第1の層間絶縁膜を形成し、MOSFETのソース・ドレインの内の少なくとも一方にコンタクトするように、基板表面を露呈せしめ第1のコンタクトを形成し、この第1のコンタクト内にゲート電極よりも高い位置まで到達するように導体層を埋め込み、さらにこの上層に第2の層間絶縁膜を形成し、この第2の層間絶縁膜の一部を選択的に除去し該導体層を露呈せしめ第2のコンタクトを形成し、これら第1および第2のコンタクトによってストレージノードコンタクトあるいはビット線コンタクトの一方を構成するようにし

— 1 3 —

望ましくは、ストレージノードコンタクトとビット線コンタクトを、同一工程でゲート電極上層の第1の層間絶縁膜に開口された第1のコンタクトと、該第1のコンタクトにゲート電極より高い位置まで埋め込まれた導体層にコンタクトするように、この導体層の上層に形成された第2の層間絶縁膜にそれぞれ別工程で開口された第2のコンタクトとで構成するようにしている。

さらに望ましくは、キャパシタを、ビット線よりも上層に形成するようにしている。

また、望ましくはストレージノードコンタクト領域に埋め込まれた導体層を、素子分離領域まで張り出すように形成し、この導体層にコンタクトするための第2のコンタクトが素子分離領域上において開口するように構成している。

さらにまた、望ましくは同一のビット線に接続される隣接した2つのMOSFETのストレージノードコンタクトを構成する第2のコンタクトは、前記ビット線に対して反対側に開口されるように構成している。

— 1 2 —

ている。

ここで望ましくは、第1のコンタクト形成工程において、ゲート電極よりも上部においてコンタクトの開口面積が大きくなるように第1の層間絶縁膜をエッチングする工程を含むようにしている。

また望ましくは、導体層埋め込み工程後、第2の層間絶縁膜の形成に先立ち、第1の層間絶縁膜を埋め込み導体層の上表面よりも下までエッチングし、再び新しい層間絶縁膜を形成するようにしている。

さらに望ましくは、この第1の層間絶縁膜エッチング工程後、第2の層間絶縁膜の形成に先立ち、埋め込み導体層表面を酸化し絶縁化するようにしている。

（作用）

上記構成によれば、ストレージノードコンタクトおよびまたはビット線コンタクトを形成する際に、基板ではなく、あらかじめゲート電極よりも高い位置にある導電体を露出させれば良いため、エッチング時間を短くすることができる。

— 1 4 —

また、この導電体の高さやゲート電極の高さとを層間絶縁膜のエッチング速度に応じてそれぞれ適切に設定するようにすれば、第2のコンタクトがこの導電体からずれて形成された場合にもゲート電極と第2のコンタクトとのショートのを完全に防止することができる。

また、基板に直接コンタクトを形成する場合に比べてオーバーエッチング量を低減することができるため、基板がエッチングされ、セルの信頼性が低下するという問題を防ぐことができる。

さらにまた、この導電体を上部で広がるように、形成することによりコンタクト面積を大きくすることができるため、コンタクト抵抗の低減をはかることができ、より性能の優れたメモリセルを実現することが可能となる。

この構造の場合、望ましくはゲート電極よりも上部において広がり、ゲート電極にオーバーラップするように形成するようにすれば、この導電体が第2のコンタクト形成時のエッチングストップとなり、第2のコンタクトとゲート電極とのショ-

- 15 -

込まれた導体層を、素子分離領域まで張り出すように形成することにより、キャパシタの平面部分の面積を大きくすることができる。

さらにこの導体層にコンタクトするための第2のコンタクトを素子分離領域上において開口するように構成することにより、この埋め込み導体層が引き出しパッドの役割を果たす。しかし、この埋め込み導体層による引き出しパッドは、あらかじめゲート電極に対して自己整合的に形成された第1のコンタクトに導体層を埋め込むことによって形成できるため、ゲート電極に自己整合的に形成することができる、合わせ余裕をとる必要がなく、多結晶シリコン膜等をバタニングして形成する従来のパッドに比べて、占有面積を小さくすることができる。さらに、第2のストレージノードコンタクトまたは第2のビット線コンタクトがパッドに対して合わせずれを生じた場合にも、ゲート電極とショートする心配はないため、余裕をもたせて大きなパッドを形成する必要はない。従って、ゲート電極の両側に同時にパッドを形成すること

- 17 -

トを完全に防止することができる。

さらにまた、第1のコンタクトを形成する際に、エッチングストップとして多結晶シリコンを堆積しておき、第1のコンタクト開孔後、酸化によりこの多結晶シリコン膜を絶縁化するという方法をとることにより、第1のコンタクトとゲート電極とのショートの発生のおそれはなくなる。

また、基板を露出する際のエッチングは多結晶シリコン膜の下層の絶縁膜のエッチングだけでよいため、基板への損傷を最低限に抑えることができる。

またキャパシタを、ビット線よりも上層に形成することにより、ストレージノード電極の加工が容易となり、キャパシタ面積を大きくすることができる上、プレート電極をセルアレイ内でバタニングする必要がないため信頼性も向上する。また、ストレージノード電極を積層構造にすることにより、十分なキャパシタ容量を確保することができる。

また、ストレージノードコンタクト領域に埋め

- 16 -

も可能である。すなわち、通常、合わせずれ余裕を考えてパッドはゲート上にオーバーラップするように形成されるためゲート電極が最小加工寸法でバタニングされているような場合、ゲート電極の両側でパッドをバタニングすることは不可能となってしまう。しかし、本発明によれば、合わせ余裕をとる必要がないため、上述したようにゲート電極の両側に同時にパッドを形成することが可能である。

さらにまた、第2のコンタクトが、少なくとも一方向において埋め込まれた導電体よりも大きく開口するような構造では、埋め込まれた導電体の側面でもコンタクトをとることができるため、上面だけでコンタクトを取る場合に比べてコンタクト面積を大きくことができ、コンタクト抵抗の低減をはかることができる。

さらに、同一のビット線に接続される隣接した2つのM.O.S.F.E.Tのストレージノードコンタクトを構成する第2のコンタクトは、このビット線に対して反対側に開口されるように配置すること

- 18 -

により、両方のストレージノード電極をより大きくとることができ、キャパシタ容量の増大をはかることができる。

(実施例)

以下、本発明の実施例について図面を参照しつつ詳細に説明する。

第1図(a)乃至第1図(d)は、本発明実施例の積層形メモリセル構造のDRAMのビット線方向に隣接する2ビット分を示す平面図、そのA-A'断面図、B-B'断面図およびC-C'断面図である。

このDRAMは、MOSFETのゲート電極6の上および側壁は絶縁膜7および絶縁膜8で覆われており、ビット線コンタクトおよびストレージノードコンタクトは、ソース・ドレイン領域4a、4bにコンタクトすると共にゲート電極よりも高い位置まで埋め込むように形成された埋め込み層としての多結晶シリコン層16にコンタクトするように形成されかつ、ゲート電極に極めて近接した状態で形成されていることを特徴とするもので、

— 19 —

連続的に配列されてワード線を構成している。

次に、このDRAMの製造方法について図面を参照しつつ説明する。

第2図乃至第9図はこのDRAMの製造工程を示す図であり、各図において(a)乃至(c)はそれぞれビット線方向に隣接する2ビット分を示す平面図、そのA-A'断面図、B-B'断面図である。

まず、第2図(a)乃至第2図(c)に示すように、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板1の表面に、通常のLOCOS法により素子分離絶縁膜2およびパンチスルーストップ用のp-型拡散層3を形成した後、熱酸化法により膜厚 10nm 程度の酸化シリコン膜からなるゲート絶縁膜5を形成した後、ゲート電極材料としての多結晶シリコン膜や金属膜あるいはポリサイド膜を全面に堆積し、さらにこの上層にCVD法により酸化シリコン膜等の絶縁膜を膜厚 $100\sim 300\text{nm}$ 程度堆積し、フォトリソ技術および異方性エッチング技術を用いてゲート電極6およびゲート電極6上の絶縁膜

— 21 —

他部については従来例の積層形メモリセル構造のDRAMと同様である。

すなわち、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板1内に形成された素子分離絶縁膜2によって分離された活性化領域内に、ソース・ドレイン領域を構成するn-形拡散層4a、4bと、これらソース・ドレイン領域間にゲート絶縁膜5を介して形成されたゲート電極6とによってMOSFETを構成すると共に、この上層に形成される層間絶縁膜内に形成されたコンタクトを介して、このn-形拡散層4aおよび4bにコンタクトするように埋め込み層としての多結晶シリコン層16が形成され、この多結晶シリコン層16にコンタクトするようにストレージノード電極20が形成されて上層のプレート電極22との間にキャパシタ絶縁膜21を介在せしめることによりキャパシタを形成している。そして層間絶縁膜23に形成されたビット線コンタクトを介してビット線25が形成されている。

そしてゲート電極6はメモリアレイの一方向に

— 20 —

7を同時にバターンニングする。

そして、このゲート電極6をマスクとしてAsイオンをイオン注入し、n-型拡散層からなるソース・ドレイン領域4a、4bを形成し、スイッチングトランジスタとしてのMOSFETを形成する。この拡散層の深さは、例えば 150nm 程度とする。この後、CVD法により、膜厚 100nm 程度以下の酸化シリコン膜からなる絶縁膜を全面に堆積し、反応性イオンエッチング法により、全面をエッチングし、ゲート電極6の側面に自己整合的に側壁絶縁膜8を残置せしめる。

次に、第3図(a)乃至第3図(c)に示すように、この上層に、熱酸化法により、膜厚 20nm 程度の酸化シリコン膜9を形成した後、全面にCVD法により層間絶縁膜としての酸化シリコン膜13を堆積する。

続いて、第4図(a)乃至第4図(c)に示すように、フォトリソ法および反応性イオンエッチングにより、この層間絶縁膜13をバターンニングし、第1のストレージノードコンタクト14および第

— 22 —

1 のビット線コンタクト 15 を同時に形成する。このとき、フォトリソ法を用いてレジストをパターンニングした後、等方性エッチングを行い、さらに異方性エッチングを行うことによって上方部分にのみ広いコンタクト孔を形成することも可能である。また、フォトリソ法を用いてレジストをパターンニングした後、異方性エッチングを行い、コンタクトを開口した後、さらに等方性エッチングを行うことによって上方部を広げ、上方部分にのみ広いコンタクト孔を形成することも可能である。

この後、第 5 図 (a) 乃至第 5 図 (c) に示すように、全面に例えば高濃度にリンドーピングされた多結晶シリコン膜 16 を膜厚がコンタクト孔 14, 15 の短辺の $1/2$ 以上となるように堆積し（ここで短辺の $1/2$ 以上となるように堆積するのは、完全にコンタクト孔を埋め込むためである）、その後層間絶縁膜の表面が露出するまで全面をエッチングすることにより、多結晶シリコン膜 16 をコンタクト内にのみ残留せしめる。ここでこの多結晶シリコン膜のドーピングは、 500 \AA 程度の

— 23 —

このようにしてストレージノードコンタクトを形成した後、全面に多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソ法および反応性イオンエッチングにより、パターンニングしストレージノード電極 20 を形成する。そしてこの上層に CVD 法により膜厚 10 nm の窒化シリコン膜を堆積した後、約 900°C 程度の水蒸気雰囲気中で 30 分程度酸化して、酸化シリコン膜を形成し、窒化シリコン膜と酸化シリコン膜との 2 層膜からなるキャパシタ絶縁膜 21 を形成する。そしてさらにこの上層に、多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソ法および反応性イオンエッチングにより、パターンニングしプレート電極 22 を形成する。この後、このプレート電極 22 をマスクとして不要部のキャパシタ絶縁膜を除去し、さらにこの上層に酸化シリコン膜からなる層間絶縁膜 23 を堆積し、熱処理により表面の平坦化を行う（第 7 図 (a) 乃至第 7 図 (c)）。

この後、第 8 図 (a) 乃至第 8 図 (d) に示すように、フォトリソ法および反応性イオンエッチング

— 25 —

薄い多結晶シリコン膜を堆積した後、例えば As イオンをイオン注入し、さらにコンタクト孔の短辺の $1/2$ 以上となるように多結晶シリコン膜を再び堆積し、As イオンをイオン注入した後、CVD 法により酸化シリコン膜を堆積し、熱処理を行うという方法によることも可能である。

さらにまた、この工程では、多結晶シリコン膜を全面に埋め込んだ後、エッチバックするという方法を用いたが、例えば、多結晶シリコン膜あるいは単結晶シリコン膜を選択的にコンタクト孔内のみ成長させるという方法をとるようにしてもよい。

この後、第 6 図 (a) 乃至第 6 図 (c) に示すように、例えば熱酸化法によって表面に 200 \AA 程度の酸化シリコン膜 17 を形成したのち、CVD 法により膜厚 500 \AA の酸化シリコン膜 18 を堆積し、フォトリソ法および反応性イオンエッチングにより、ストレージノードコンタクト部のみの多結晶シリコン膜 16 表面が露出するように、該酸化シリコン膜 17, 18 を選択的に除去する。

— 24 —

により、ビット線コンタクト部のみの多結晶シリコン膜 16 表面が露出するように、層間絶縁膜 23、該酸化シリコン膜 17, 18 を選択的に除去し、ビット線コンタクト 24 を形成する。

そして、第 9 図 (a) 乃至第 9 図 (d) に示すように、全面に多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソ法および反応性イオンエッチングにより、パターンニングしビット線 25 を形成する。ここでビット線は多結晶シリコン膜 1 層で形成したが、多結晶シリコンとシリサイドとの積層構造でもよい。

この後、保護膜としての酸化シリコン膜 26 を形成し、第 1 図 (a) 乃至第 1 図 (d) に示したような DRAM が完成する。

この方法によれば、ストレージノードコンタクトおよびビット線コンタクトが、あらかじめゲート電極よりも高い位置まで埋め込まれた多結晶シリコン膜上にコンタクトするように形成されればよい。そのため、コンタクト形成に要するエッチング時間を短縮することができる。

— 26 —

このため、この実施例におけるビット線コンタクトのように高いアスペクト比を有するコンタクトを形成する際にも、オーバーエッチングによる基板のえぐれを防止することができ、信頼性の高いメモリセルを得ることができる。

また、フォトリソグラフィ技術における合わせずれによるゲート電極とのショートを防ぐことができ、合わせずれを考慮したパターンの余裕を省くことができるため、メモリセルの微細化をはかることが可能となる。

実施例 2

次に、本発明の第 2 の実施例として、コンタクトの合わせずれによるゲート電極とのショート防止効果の高いセル構造について説明する。

この D R A M は、第 10 図 (a) 乃至第 10 図 (d) に示すように、ゲート電極 6 よりも上で、コンタクトが広がるような形状になっているもので、この構造によれば、コンタクト面積を大きくすることができ、コンタクト抵抗の低減をはかること

— 27 —

第 10 図および第 11 図いずれの場合にも、ゲート電極より高い位置においてコンタクト孔が広がった形状となり、合わせずれに対してマージンの高い構造となっており、パターンに余裕をとる必要がなく、微細なメモリセル構造を実現する事が可能である。

実施例 4

なお、これらの実施例では、ストレージノードコンタクトおよびビット線コンタクトを同時に形成する際に、層間絶縁膜を平坦化したのちに、フォトリソ法および反応性イオンエッチングにより、コンタクト孔を開孔するようにしたが、この工程の改良によりより微細なメモリセルを実現するための例を第 4 の実施例として第 12 図乃至第 17 図を参照しつつ説明する。

まず、ゲート電極 6 の形成およびその側面に自己整合的に側壁絶縁膜 8 を残す工程までは、前記第 1 の実施例と同様に行い、この後、熱酸化法により膜厚 200 Å の酸化シリコン膜 9、膜厚 20

— 29 —

が可能となる。

このような構造の実現に際しては、ストレージノードコンタクトおよびビット線コンタクトのパターニングを行った後に、レジストを残した状態で等方性エッチングを行いパターンエッジの上縁 27 をエッチング除去し、この後反応性イオンエッチングによりコンタクトを開口する。そして、例えばこのコンタクト部のみに選択的に単結晶シリコンあるいは多結晶シリコンを成長させ、さらに酸化シリコン膜 18 を堆積し、コンタクトを形成する……というように前記第 1 の実施例と同様に形成する。

実施例 3

また、第 11 図 (a) 乃至第 11 図 (d) に示すように、ストレージノードコンタクトおよびビット線コンタクトを開口した後、このコンタクト孔内にのみ選択的に単結晶シリコンあるいは多結晶シリコン層 28 を成長せしめ、この成長厚さがコンタクト深さよりも大きくなるようにしてもよい。

— 28 —

nm の窒化シリコン膜 10、膜厚 50 nm の多結晶シリコン膜 11 を堆積し、さらにリンガラス等の層間絶縁膜 13 を形成する。このとき、この層間絶縁膜 13 は、第 12 図 (a) 乃至第 12 図 (c) に示すように、熱処理により平坦化してもよいし、またそのままでもよい。

次に、第 13 図 (a) 乃至第 13 図 (c) に示すように、フォトリソ法および反応性イオンエッチングにより、この層間絶縁膜 13 をパターニングし、第 1 のストレージノードコンタクト 14 および第 1 のビット線コンタクト 15 を同時に形成する。このとき、層間絶縁膜 13 のエッチング速度に対して多結晶シリコン膜 11 のエッチング速度が十分に小さくなるようなエッチング条件を選択することによって、多結晶シリコン膜 11 がエッチングストップとして働き、ストレージノードコンタクト 14 とゲート電極 6、あるいはビット線コンタクト 15 とゲート電極 6 との距離がほとんどない場合でも、ストレージノード電極とゲート電極 6、あるいはビット線とゲート電極 6 とのショ

— 30 —

トの発生のおそれもない。

この後、第14図(a)乃至第14図(c)に示すように、等方性ドライエッチングすなわちケミカルドライエッチング(CDE)法により、第1のストレージノードコンタクト14および第1のビット線コンタクト15の部分の多結晶シリコン膜11を除去し、下地の窒化シリコン膜10を露呈せしめる。

そして、第15図(a)乃至第15図(c)に示すように、少なくとも、ストレージノードコンタクト側壁およびビット線コンタクト側壁に露呈する多結晶シリコン膜11を酸化し、酸化シリコン膜12とする。ここで、多結晶シリコン膜11全体を酸化シリコン膜12と化すようにしてもよい。このように、残留する多結晶シリコン膜のうち少なくともコンタクト側壁に露呈する部分を酸化することにより、残留する多結晶シリコン膜11を介してのストレージノード電極間のショートあるいはストレージノード電極とビット線との間のショート等の問題は、防止される。

— 31 —

リコンが形成されているため、ゲート電極との合わせずれを考慮して余裕をもたせるような必要はなく、素子の微細化および信頼性の向上をはかることが可能となる。

特に、この効果は、本実施例のように、ストレージノードコンタクトおよびビット線コンタクトを、埋め込みあるいは選択成長によりあらかじめゲート電極よりも高い位置に上げておくようにすることにより、よりマージンの高いものとすることができる。すなわち、このメモリセルにおけるビット線コンタクトのように高いアスペクト比を持つコンタクトを一回のエッチングにより基板表面にまで到達するように開口する場合、非常に長いエッチング時間を必要とするため、多結晶シリコンがエッチングストップ層として十分に作用しないおそれがある。一方、非常にエッチング時間が長い場合にもエッチングストップ層として十分に作用するように多結晶シリコン膜の膜厚を厚くすると、その後の酸化工程で十分に酸化しきれず、ショートの原因となってしまう。

— 33 —

この後、第16図(a)乃至第16図(c)に示すように、異方性エッチングにより、ストレージノードコンタクト部14およびビット線コンタクト部15の窒化シリコン膜10およびその下の薄い酸化シリコン膜9を除去することにより、シリコン基板表面を露出させる。このとき、ゲート電極の側壁および上部は厚い絶縁膜で覆われているため、ゲート電極に達するおそれはない。

このようにしてストレージノードコンタクト14およびビット線コンタクト15を形成した後は、前述した工程と同様にして多結晶シリコン膜堆積後、エッチバックにより、コンタクト部分に埋め込むかまたは、単結晶シリコン膜あるいは多結晶シリコン膜を選択的に成長させる。

以下の工程は前記第1の実施例と全く同様にして第17図(a)乃至第17図(c)に示すように、メモリセルが完成する。

この方法によれば、第1のストレージノードコンタクト、および第1のビット線コンタクト形成時において、エッチングストップとなる多結晶シ

— 32 —

従って、ゲート電極の周りに絶縁膜を形成した後、多結晶シリコン膜をストップ層として層間絶縁膜をエッチングし一旦浅いコンタクトを形成し、その後酸化させておくようにすればショートの心配はなく、信頼性の高いメモリセルを得ることが可能となる。

また、コンタクト部分があらかじめゲート電極よりも上に位置する構造となっているため、2回目のコンタクト開孔時、あわせずれが生じて、ゲート電極とショートすることはなく、このため合わせずれを考慮する必要がなく、その分コンタクト面積を十分に確保することができ、微細化および信頼性の向上に最適の構造となっている。

実施例5

また、前記実施例4では、ストレージノードコンタクトとビット線コンタクトを同時に形成する際に、残った多結晶シリコン膜を酸化することによりコンタクト間のショートの発生を防止するようにしているが、実施例5として第18図(a)乃

— 34 —

至第18図(c)に示すように、コンタクト部の多結晶シリコン膜をCDE法により除去した後、窒化シリコン膜を全面に堆積して反応性イオンエッチングを行い基板表面を露出すると同時に、コンタクト側面に窒化シリコン膜29を残すという工程も可能である。

このとき、窒化シリコン膜の堆積に先立ち、多結晶シリコン膜を酸化するようにしても良い。

この方法によれば、多結晶シリコン膜が完全に酸化するに十分な場合でも、ショート心配はない。また、多結晶シリコン膜の酸化工程を省くことができるため、酸化のための熱工程でトランジスタのジャンクション深さが深くなり、トランジスタが短チャネル効果に弱くなるという問題を解決することができ、セルのさらなる微細化をはかることができる。

また、層間絶縁膜にリンガラスを用いても、コンタクトに埋め込んだ多結晶シリコン膜を通してシリコン基板までリンが拡散し、トランジスタの性能を劣化させたりコンタクト間の分離耐圧を低

— 35 —

子分離領域上に張り出すように形成されており、ストレージノード電極20は素子分離領域上でコンタクトするように形成した点が主とした実施例1との相違点である。そして実施例1と同様にMOSFETのゲート電極6の上および側壁は絶縁膜7および絶縁膜8で覆われており、ビット線コンタクトおよびストレージノードコンタクトは、ソース・ドレイン領域4a、4bにコンタクトすると共にゲート電極よりも高い位置まで埋め込むように形成された埋め込み層としての多結晶シリコン層16にコンタクトするように形成されかつ、ゲート電極に極めて近接した状態で形成されていることを特徴としている。他部については従来例の積層形メモリセル構造のDRAMと同様である。

すなわち、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板1内に形成された素子分離絶縁膜2によって分離された活性化領域内に、ソース・ドレイン領域を構成するn-形拡散層4a、4bと、これらソース・ドレイン領域間にゲート絶縁膜5を介して形成されたゲート電極6とによってMOSF

— 37 —

下させたりするたりするという問題もない。

実施例6

なお、これらの実施例では、キャパシタ形成後にビット線の形成を行うようにしているが、ビット線を形成したのちにキャパシタを形成することも可能である。このようにビット線の上にキャパシタを形成するようにすれば、ビット線をプレート電極で覆いシールドする構造となるため、セルが微細化されても隣り合うビット線間の干渉による誤動作の発生を防止することができる。

実施例6として、ビット線の上にキャパシタを形成したDRAMについて説明する。

第19図(a)乃至第19図(c)は、本発明実施例の積層形メモリセル構造のDRAMのビット線方向に隣接する2ビット分を示す平面図、そのA-A'断面図、B-B'断面図である。

このDRAMは、キャパシタをビット線25の上層に形成し、ストレージノードコンタクト部分の埋め込み層としての多結晶シリコン層16が素

— 36 —

ETを構成すると共に、この上層に形成される層間絶縁膜内に形成されたコンタクトを介して、このn-形拡散層4aおよび4bにコンタクトするように埋め込み層としての多結晶シリコン層16が形成され、この多結晶シリコン層16にコンタクトするようにビット線25が形成されている。そして、層間絶縁膜23に形成されたストレージノードコンタクトを介してストレージノード電極20が形成されて上層のプレート電極22との間にキャパシタ絶縁膜21を介在せしめることによりキャパシタを形成している。

そしてゲート電極6はメモリアレイの一方向に連続的に配列されてワード線を構成している。

次に、このDRAMの製造方法について図面を参照しつつ説明する。

第20図乃至第30図はこのDRAMの製造工程を示す図であり、各図において(a)および(b)はそれぞれビット線方向に隣接する2ビット分を示す第19図(a)のA-A'断面相当図、B-B'断面相当図である。

— 38 —

まず、第20図(a)および第20図(b)に示すように、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板1の表面に、通常のLOCOS法により素子分離絶縁膜2およびパンチスルーストップ用のp-型拡散層3を形成した後、熱酸化法により膜厚10nm程度の酸化シリコン膜からなるゲート絶縁膜5を形成した後、ゲート電極材料としての多結晶シリコン膜や金属膜あるいはポリサイド膜を全面に堆積し、さらにこの上層にCVD法により酸化シリコン膜等の絶縁膜を膜厚100~300nm程度堆積し、フォトリソ技術および異方性エッチング技術を用いてゲート電極6およびゲート電極6上の絶縁膜7を同時にパターンニングする。

そして、例えば850℃で後酸化を行ったのち、このゲート電極6をマスクとしてAsイオンをイオン注入し、n-型拡散層からなるソース・ドレイン領域4a、4bを形成し、スイッチングトランジスタとしてのMOSFETを形成する。この拡散層の深さは、例えば150nm程度とする。この後、CVD法により、膜厚100nm程度以下の

- 39 -

シリコン膜11のエッチング速度が十分に小さくなるようなエッチング条件を選択することによって、多結晶シリコン膜11がエッチングストップとして働き、ストレージノードコンタクト14とゲート電極6、あるいはビット線コンタクト15とゲート電極6との距離がほとんどない場合でも、ストレージノード電極とゲート電極6、あるいはビット線とゲート電極6とのショートが発生のおそれもない。

この後、第23図(a)および第23図(b)に示すように、等方性ドライエッチングすなわちケミカルドライエッチング(CDE)法により、第1のストレージノードコンタクト14および第1のビット線コンタクト15の部分の多結晶シリコン膜11を除去し、下地の窒化シリコン膜10を露呈せしめる。

そして、第24図(a)および第24図(b)に示すように、少なくとも、ストレージノードコンタクト側壁およびビット線コンタクト側壁に露呈する部分から多結晶シリコン膜11を酸化し、酸化

- 41 -

窒化シリコン層からなる絶縁膜を全面に堆積し、反応性イオンエッチング法により、全面をエッチングし、ゲート電極6の側面に自己整合的に側壁絶縁膜8を残置せしめる。

この後、第21図(a)および第21図(b)に示すように、熱酸化法により膜厚200Åの酸化シリコン膜9、膜厚20nmの窒化シリコン膜10、膜厚50nmの多結晶シリコン膜11を堆積し、さらにリンガラス等の層間絶縁膜13を形成する。このとき、この層間絶縁膜13は、熱処理により平坦化してもよいし、またそのままでもよい。

次に、第22図(a)および第22図(b)に示すように、フォトリソ法および反応性イオンエッチングにより、この層間絶縁膜13をパターンニングし、第1のストレージノードコンタクト14および第1のビット線コンタクト15を同時に形成する。このとき、第1のストレージノードコンタクト14は第22図(b)に示すように素子分離領域2の上まで開孔するようにする。またこのとき、層間絶縁膜13のエッチング速度に対して多結晶

- 40 -

シリコン膜12とする。ここでは、多結晶シリコン膜11全体を酸化シリコン膜12と化しようとしたが、少なくとも、ストレージノードコンタクト側壁およびビット線コンタクト側壁に露呈する部分のみを酸化シリコン膜12と化すようにしてもよい。このように、残留する多結晶シリコン膜のうち少なくともコンタクト側壁に露呈する部分を酸化することにより、残留する多結晶シリコン膜11を介してのストレージノード電極間のショートあるいはストレージノード電極とビット線との間のショート等の問題は、防止される。また、このとき層間絶縁膜13にリンガラスなどを用いていれば、平坦化を同時に行うことができる。

この後、第25図(a)および第25図(b)に示すように、異方性エッチングにより、ストレージノードコンタクト部14およびビット線コンタクト部15の窒化シリコン膜10およびその下の薄い酸化シリコン膜9を除去することにより、シリコン基板表面を露出させる。このとき、ゲート電極の側壁および上部は厚い絶縁膜で覆われている

- 42 -

ため、ゲート電極に達するおそれはない。

この後、第26図(a)および第26図(b)に示すように、全面に例えば高濃度にドーピングされた多結晶シリコン膜16を膜厚がコンタクト孔14、15の短辺の1/2以上となるように堆積し(ここで短辺の1/2以上となるように堆積するのは、完全にコンタクト孔を埋め込むためである)、その後層間絶縁膜の表面が露出するまで全面をエッチングすることにより、多結晶シリコン膜16をコンタクト内にのみ残留せしめる。ここでこの多結晶シリコン膜のドーピングは、500Å程度の薄い多結晶シリコン膜を堆積した後、例えばAsイオンをイオン注入し、さらにコンタクト孔の短辺の1/2以上となるように多結晶シリコン膜を再び堆積し、Asイオンをイオン注入した後、CVD法により酸化シリコン膜を堆積し、熱処理を行うという方法によることも可能である。

さらにまた、この工程では、多結晶シリコン膜を全面に埋め込んだ後、エッチバックするという方法を用いたが、例えば、多結晶シリコン膜ある

— 43 —

ように、酸化シリコン膜からなる層間絶縁膜23を堆積し、熱処理により表面の平坦化を行ったのち、フォトリソ法および反応性イオンエッチングにより、ストレージノードコンタクト部のみの多結晶シリコン膜16表面が露出するように、層間絶縁膜23、該酸化シリコン膜17、18を選択的に除去し、第2のストレージノードコンタクト19を形成する。このとき、埋め込み層16は素子分離領域まで拡張して形成されているため、ストレージノードコンタクトとはこの素子分離領域2の上に形成することができる。

このようにしてストレージノードコンタクトを形成した後、全面に多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソ法および反応性イオンエッチングにより、パターニングしストレージノード電極20を形成する。そしてこの上層にCVD法により膜厚10nmの窒化シリコン膜を堆積した後、約900℃程度の水蒸気雰囲気中で30分程度酸化して、酸化シリコン膜を形成し、窒化シリコン膜と酸化シリコン膜との2層膜から

— 45 —

いは単結晶シリコン膜を選択的にコンタクト孔内のみ成長させるという方法をとるようにしてもよい。

この後、第27図(a)および第27図(b)に示すように、例えば熱酸化法によって表面に200Å程度の酸化シリコン膜17を形成したのち、CVD法により膜厚500Åの酸化シリコン膜18を堆積し、フォトリソ法および反応性イオンエッチングにより、ビット線コンタクト部のみの多結晶シリコン膜16表面が露出するように、該酸化シリコン膜17、18を選択的に除去し第2のビット線コンタクト24を形成する。

そして第28図(a)および第28図(b)に示すように、全面に多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソ法および反応性イオンエッチングにより、パターニングしビット線25を形成する。ここで、ビット線25は多結晶シリコン膜で形成したが、多結晶シリコン膜とシリサイドとの積層構造としてもよい。

この後第29図(a)および第29図(b)に示す

— 44 —

なるキャパシタ絶縁膜21を形成する(第30図(a)および第30図(b))。

そしてさらにこの上層に、多結晶シリコン膜を堆積し、ドーピングを行いプレート電極22を形成する。さらに、この上層に酸化シリコン膜からなる層間絶縁膜26を堆積し、熱処理により表面の平坦化を行い第19図(a)乃至第19図(c)に示したようなメモリセルが完成する。

この構造では、キャパシタを、ビット線よりも上層に形成するようにしているため、上述したように、ストレージノード電極の加工が容易となり、キャパシタ面積を大きくするようにすることができる上、プレート電極をセルアレイ内でパターニングする必要がないため信頼性も向上する。

また、ストレージノード電極を積層構造にするようにすればさらなるキャパシタ容量の増大をはかることができる。

さらに、ストレージノードコンタクト領域に埋め込まれた導体層を、素子分離領域まで張り出すように形成しているため、キャパシタの平面部分

— 46 —

の面積を大きくすることができる。

さらにこの導体層にコンタクトするための第2のコンタクトを素子分離領域上において開口するように構成することにより、素子占有面積を増大することなくキャパシタ容量の大きいDRAMを得ることができる。すなわち、この引き出しパッドの役割を果たす埋め込み導体層は、あらかじめゲート電極に対して自己整合的に形成された第1のコンタクトに導体層を埋め込むことによって形成できるため、ゲート電極に自己整合的に形成することができ、合わせ余裕をとる必要がなく、多結晶シリコン層等をパターニングして形成する従来のパッドに比べて、占有面積を小さくすることができ、第2のストレージノードコンタクトまたは第2のビット線コンタクトがパッドに対して合わせずれを生じた場合にも、ゲート電極とショートする心配はないため、余裕をもたせて大きなパッドを形成する必要はない。

実施例7

なお、実施例6では、第1のコンタクト14、

— 47 —

はそれぞれビット線方向に隣接する2ビット分を示す第19図(a)のA-A'断面相当図、B-B'断面相当図である。

まず、実施例6と同様にして、第32図(a)および第32図(b)に示すように、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板1の表面に、素子分離絶縁膜2およびパンチスルーストップ用のp型拡散層3を形成した後、ゲート絶縁膜5およびゲート電極6、n型拡散層からなるソース・ドレイン領域4a、4bを形成し、スイッチングトランジスタとしてのMOSFETを形成すると共にさらに、ゲート電極6の側面に自己整合的に側壁絶縁膜8を残置せしめる。

この後、第33図(a)および第33図(b)に示すように、リンガラス等の層間絶縁膜13を堆積する。このとき、この層間絶縁膜13は、熱処理により平坦化してもよいし、またそのままでもよい。そして、フォトリソ法および反応性イオンエッチング法により、この層間絶縁膜13をパターニングし、第1のストレージノードコンタクト1

— 49 —

15を開孔する際に、層間絶縁膜のエッチングストップパーとして多結晶シリコン膜を用い、コンタクト開孔後、この多結晶シリコン膜を酸化してしまうという方法を用いたが、素子面積に余裕がある場合は、このような特殊な方法を用いることなく第1のコンタクトを形成する用にしても良い。

実施例7として、このエッチングストップを用いることなく第1のコンタクトを形成する工程の簡略化例について説明する。

第31図(a)および第31図(b)は、本発明の第7の実施例の積層形メモリセル構造のDRAMのビット線方向に隣接する2ビット分を示す(第19図における)A-A'断面相当図、B-B'断面相当図である。

構造としては、ほぼ第19図に示した実施例6のDRAMと同様である。

次に、このDRAMの製造方法について図面を参照しつつ説明する。

第32図乃至第38図はこのDRAMの製造工程を示す図であり、各図において(a)および(b)

— 48 —

4および第1のビット線コンタクト15を同時に形成する。このとき、第1のストレージノードコンタクト14は第33図(b)に示すように素子分離領域2の上まで開孔するようにする。ここで、前記実施例6では多結晶シリコンのストップ層が存在したが、この例ではストップ層がないため、この第1のコンタクト形成のためのエッチング時間は適当な値に設定し、素子分離領域の絶縁膜がエッチングされ過ぎないようにする必要がある。

この後、実施例6と同様に第34図(a)および第34図(b)に示すように、全面に例えば高濃度にドーパされた多結晶シリコン膜16を膜厚がコンタクト孔14、15の短辺の $1/2$ 以上となるように堆積し(ここで短辺の $1/2$ 以上となるように堆積するのは、完全にコンタクト孔を埋め込むためである)、その後層間絶縁膜の表面が露出するまで全面をエッチングすることにより、多結晶シリコン膜16をコンタクト内のみに残留せしめる。ここでもこの多結晶シリコン膜のドーピングは、 500A 程度の薄い多結晶シリコン膜を堆

— 50 —

積した後、例えばAsイオンをイオン注入し、さらにコンタクト孔の短辺の1/2以上となるように多結晶シリコン膜を再び堆積し、Asイオンをイオン注入した後、CVD法により酸化シリコン膜を堆積し、熱処理を行うという方法によることも可能である。

さらにまた、この工程では、多結晶シリコン膜を全面に埋め込んだ後、エッチバックするという方法を用いたが、例えば、多結晶シリコン膜あるいは単結晶シリコン膜を選択的にコンタクト孔内だけに成長させるという方法をとるようにしてもよい。

この後、第35図に示すように、例えば熱酸化法によって表面に200Å程度の酸化シリコン膜17を形成したのち、CVD法により膜厚500Åの酸化シリコン膜18を堆積し、フォトリソ法および反応性イオンエッチングにより、ビット線コンタクト部のみの多結晶シリコン膜16表面が露出するように、該酸化シリコン膜17、18を選択的に除去し第2のビット線コンタクト24を

— 51 —

ドーピングを行った後、フォトリソ法および反応性イオンエッチングにより、バターンニングしストレージノード電極20を形成する。そしてこの上層にCVD法により膜厚10nmの窒化シリコン膜を堆積した後、約900℃程度の水蒸気雰囲気中で30分程度酸化して、酸化シリコン膜を形成し、窒化シリコン膜と酸化シリコン膜との2層膜からなるキャパシタ絶縁膜21を形成する。

そしてさらにこの上層に、多結晶シリコン膜を堆積し、ドーピングを行いプレート電極22を形成する。さらに、この上層に酸化シリコン膜からなる層間絶縁膜26を堆積し、熱処理により表面の平坦化を行い第31図(a)乃至第31図(b)に示したようなメモリセルが完成する。

この方法では、エッチングストップを用いることなく第1のコンタクトを形成しているため、工程が簡略化される。

実施例 8

前記実施例6では、ストレージノードコンタク

— 53 —

形成する。

そして第36図に示すように、全面に多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソ法および反応性イオンエッチングにより、バターンニングしビット線25を形成する。

この後第37図(a)および第37図(b)に示すように、酸化シリコン膜からなる層間絶縁膜23を堆積し、熱処理により表面の平坦化を行ったのち、フォトリソ法および反応性イオンエッチングにより、ストレージノードコンタクト部のみの多結晶シリコン膜16表面が露出するように、層間絶縁膜23、該酸化シリコン膜17、18を選択的に除去し、第2のストレージノードコンタクト19を形成する。この場合も、埋め込み層16は素子分離領域まで拡張して形成されているため、ストレージノードコンタクトとはこの素子分離領域2の上に形成することができる。

このようにしてストレージノードコンタクトを形成した後、第38図(a)および第38図(b)に示すように、全面に多結晶シリコン膜を堆積し、

— 52 —

ト部の埋め込み層16が素子分離領域2の上に張り出すように形成したが、第39図(a)乃至第39図(d)に示すように、ストレージノードコンタクトに代えてビット線コンタクト部の埋め込み層が素子分離領域2の上に張り出すように形成し、ビット線を素子領域から半ピッチづつずらして配線するようにしてもよい。(第39図(b)乃至第38図(d)はそれぞれ第39図(a)のA-A断面図、B-B断面図、C-C断面図である。)

この例でも、同様に素子の微細化をはかることが可能となる。

実施例 9

実施例8の構造において、エッチングストップを用いることなく第1のコンタクトを形成するようにしてもよい。実施例9として、この例を第39図(a)乃至第39図(c)に示す。この例では、完成状態では、側壁絶縁膜8などの周りを覆う窒化シリコン膜10がない点で実施例8の構造と異なるだけである。

— 54 —

実施例 10

実施例 9 の構造において、第 40 図 (a) および第 40 図 (b) に示すように、第 1 のストレージノードコンタクト 14 および第 1 のビット線コンタクト 15 の形状の開孔をもつ、レジストパターンを形成し、まず等方性エッチングを行い、パターンエッジの上縁をエッチング除去したのち異方性エッチングによりコンタクトを開孔し、コンタクトの上縁を広げた形状にし、この第 1 のコンタクト 14、15 内に多結晶シリコン膜 16 を埋め込むようにしてもよい。

これにより、ゲート電極よりも高い位置において第 1 のストレージノードコンタクトおよび第 1 のビット線コンタクトが広がる形状となっているため、第 2 のストレージノードコンタクトおよび第 2 のビット線コンタクトがあわせずれを起こした場合にもゲート電極とショートを起こすおそれはない。さらに、コンタクト面積を大きく取ることができるためコンタクト抵抗の低減をはかるこ

— 55 —

実施例 12

また、第 42 図 (a) および第 42 図 (b) に示すように、第 2 のビット線コンタクト 24 を第 1 のビット線コンタクト 15 よりも大きく開孔し、ビット線 25 が第 1 のビット線コンタクト 15 に埋め込まれた多結晶シリコン膜 16 の側面においてもコンタクトをとるようにし、コンタクト面積を大きくし、コンタクト抵抗の低減をはかるようにしてもよい。

これは、第 1 のビット線コンタクトにおいてゲート電極よりも十分に高い位置まで多結晶シリコン膜 16 が埋め込まれており、第 2 のビット線コンタクト 24 の開孔時にオーバーエッチングを起こしてもゲート電極とのショートの発生を招くことがないために信頼性よく実現できるものである。

実施例 13

次に、本発明の第 13 の実施例として、第 43 図 (a) 乃至第 43 図 (d) に示すように、第 1 のス

— 57 —

とが可能となる。

実施例 11

実施例 10 の構造では、第 1 のコンタクト 14、15 内に埋め込まれる多結晶シリコン膜 16 の上縁を広げた形状にするに際し、コンタクトの形状を上縁を広げた形状にしたが、第 1 のコンタクト 14、15 の形状は従来の通り垂直断面をもつようにしておき、選択 CVD 法により、多結晶シリコン膜または単結晶シリコン膜を成長させ、この厚さをコンタクトの深さよりも厚くすることによっても達成可能である。

このように選択 CVD 法により、多結晶シリコン膜 16 を成長させ、この厚さをコンタクトの深さよりも厚くすることによって上縁を広げた形状にした例を第 41 図 (a) および第 41 図 (b) に示す。

この例でも、実施例 10 と同様、第 2 のストレージノードコンタクトおよび第 2 のビット線コンタクトの形成が容易となる。

— 56 —

トレージノードコンタクトおよび第 1 のビット線コンタクトを形成し、多結晶シリコン膜 16 を埋め込んだ後、エッチング工程等によりダメージを受けた第 1 の層間絶縁膜 13 の表面をエッチング除去し、再び新たな絶縁膜を形成することにより、多結晶シリコン膜 16 同志の短絡を防止し、耐圧の向上をはかるようにした方法について説明する。

実施例 1 とまったく同様にして、層間絶縁膜 13 をパターニングし、第 1 のストレージノードコンタクト 14 および第 1 のビット線コンタクト 15 を同時に形成するが、このとき、フォトリソ法を用いてレジストをパターニングした後、等方性エッチングを行い、さらに異方性エッチングを行うことによって上方部分にのみ広いコンタクト孔を形成する。そして、高濃度にリンドーブされた多結晶シリコン膜 16 を第 1 のコンタクト 14、15 内に埋め込み、この後、フッ化アンモニウム (NH_4F) 液を用いて層間絶縁膜 13 の表面をエッチングし、多結晶シリコン膜 16 の広がった部分を露呈せしめ、熱酸化を行い、この多結晶シ

— 58 —

リコン膜 16 の広がった部分の側壁にも酸化シリコン膜 17 を形成したのち、CVD 法により膜厚 500 Å の酸化シリコン膜 18 を堆積する（第 44 図(a)乃至第 44 図(c)）。

後は、実施例 1 と全く同様に形成するが、この方法によれば、ダメージを受けた層間絶縁膜 13 の表面を一旦除去し、表面は新しい酸化シリコン膜 18 で覆われており、また多結晶シリコン膜 16 の広がった部分の側壁にも酸化シリコン膜 17 が形成されているため、一層耐圧が向上する。

実施例 14

なお、これらの実施例では、ストレージノードコンタクトおよびビット線コンタクトを同時に形成する際に、層間絶縁膜を平坦化したのちに、フォトリソ法および反応性イオンエッチングにより、コンタクト孔を開孔するようにしたが、この工程の改良によりより微細なメモリセルを実現するための例を第 14 の実施例として第 45 図乃至第 53 図を参照しつつ説明する。

— 59 —

クト 14 とゲート電極 6、あるいはビット線コンタクト 15 とゲート電極 6 との距離がほとんどない場合でも、ストレージノード電極とゲート電極 6、あるいはビット線とゲート電極 6 とのショートの問題のおそれもない。

この後、第 47 図(a)乃至第 47 図(c)に示すように、等方性ドライエッチングすなわちケミカルドライエッチング(CDE)法により、第 1 のストレージノードコンタクト 14 および第 1 のビット線コンタクト 15 の部分の多結晶シリコン膜 11 を除去し、下地の窒化シリコン膜 10 を露呈せしめる。

そして、第 48 図(a)乃至第 48 図(c)に示すように、少なくとも、ストレージノードコンタクト側壁およびビット線コンタクト側壁に露呈する多結晶シリコン膜 11 を酸化し、酸化シリコン膜 12 とする。ここで、多結晶シリコン膜 11 全体を酸化シリコン膜 12 と化すようにしてもよい。このように、残留する多結晶シリコン膜のうち少なくともコンタクト側壁に露呈する部分を酸化す

— 61 —

まず、ゲート電極 6 の形成およびその側面に自己整合的に側壁絶縁膜 8 を残す工程までは、前記第 1 の実施例と同様に行い、この後、熱酸化法により膜厚 200 Å の酸化シリコン膜 9、膜厚 20 nm の窒化シリコン膜 10、膜厚 50 nm の多結晶シリコン膜 11 を堆積し、さらにリンガラス等の層間絶縁膜 13 を形成する。このとき、この層間絶縁膜 13 は、第 45 図(a)乃至第 45 図(c)に示すように、熱処理により平坦化してもよいし、またそのままでもよい。

次に、第 46 図(a)乃至第 46 図(c)に示すように、フォトリソ法および反応性イオンエッチングにより、この層間絶縁膜 13 をパターンニングし、第 1 のストレージノードコンタクト 14 および第 1 のビット線コンタクト 15 を同時に形成する。このとき、層間絶縁膜 13 のエッチング速度に対して多結晶シリコン膜 11 のエッチング速度が十分に小さくなるようなエッチング条件を選択することによって、多結晶シリコン膜 11 がエッチングストップとして働き、ストレージノードコンタ

— 60 —

ることにより、残留する多結晶シリコン膜 11 を介してのストレージノード電極間のショートあるいはストレージノード電極とビット線との間のショート等の問題は、防止される。

この後、第 49 図(a)乃至第 49 図(c)に示すように、異方性エッチングにより、ストレージノードコンタクト部 14 およびビット線コンタクト部 15 の窒化シリコン膜 10 およびその下の薄い酸化シリコン膜 9 を除去することにより、シリコン基板表面を露出させる。このとき、ゲート電極の側壁および上部は厚い絶縁膜で覆われているため、ゲート電極に達するおそれはない。

このようにしてストレージノードコンタクト 14 およびビット線コンタクト 15 を形成した後は、前述した工程と同様にして第 50 図(a)乃至第 50 図(c)に示すように、多結晶シリコン膜堆積後、エッチバックにより、コンタクト部分に埋め込むかまたは、単結晶シリコン膜あるいは多結晶シリコン膜を選択的に成長させる。

この後、第 51 図(a)乃至第 51 図(c)に示す

— 62 —

ように、フッ化アンモニウム (NH_4F) 液を用いて層間絶縁膜 13 および酸化シリコン膜 12 をエッチング除去する。このとき、窒化シリコン膜 10 がエッチングストッパーとして作用するため、エッチング時間を長めにとるようにしてもよい。また、このときエッチング時間を少なくし一部の酸化シリコン膜のみを除去するだけにとどめるようにしてもよい。特に酸化シリコン膜 12 は熱酸化膜であるため、膜質が良好であり、残留していてもよい。

さらに、第 52 図 (a) 乃至第 52 図 (c) に示すように、必要であれば、熱酸化を行い、この多結晶シリコン膜 16 の上部および側壁にも酸化シリコン膜 17 を形成したのち、CVD 法により膜厚 500 Å の酸化シリコン膜 18 を堆積する。

後は、実施例 1 と全く同様に形成し第 53 図 (a) 乃至第 53 図 (c) に示すように、メモリセルが完成する。

この方法によれば、第 1 のストレージノードコンタクト、および第 1 のビット線コンタクト形成

— 63 —

装置によれば、ストレージノードコンタクトあるいはビット線コンタクトの少なくとも一方がゲート電極上に層間絶縁膜を形成した後に第 1 のコンタクトを形成し、コンタクトにゲート電極よりも高い位置まで導電体を埋め込みさらにその上層に層間絶縁膜を形成し、その層間絶縁膜の一部をエッチングして導電体を露出するようにし、この導電体に対して第 2 のコンタクトを形成しているため、微細化および信頼性の向上をはかることが可能となる。

また、さらにキャパシタを、ビット線よりも上層に形成するようにすれば、ストレージノード電極の加工が容易となり、キャパシタ面積を大きくすることができる上、プレート電極をセルアレイ内でバターンニングする必要がないため信頼性も向上する。

また、埋め込み層同志の短絡の原因であるダメージを受けた第 1 の層間絶縁膜の少なくとも表面を除去し、良質の第 2 の層間絶縁膜におきかえるようにしているため、短絡のおそれがなく、信頼

— 65 —

時において、エッチングストッパとなる多結晶シリコンが形成されているため、ゲート電極との合わせずれを考慮して余裕をもたせるような必要はなく、素子の微細化および信頼性の向上をはかることが可能となる。

そして、この方法によれば、ダメージを受けた層間絶縁 13 の表面を一旦除去し、表面は新しい酸化シリコン膜 18 で覆われており、また多結晶シリコン膜 16 の広がった部分の側壁にも酸化シリコン膜 17 が形成されているため、さらに埋め込み層間の距離が減少しても、耐圧は良好に維持することができる。

加えて、前記実施例においては積層型メモリセル構造を有する DRAM について説明したが、この方法は、積層型メモリセル構造を有する DRAM に限定されることなく、アスペクト比の高いコンタクトを形成する工程を含む他のデバイスの形成に際しても有効な方法である。

〔発明の効果〕

以上説明してきたように、本発明の半導体記憶

— 64 —

性の高い半導体記憶装置を得ることが可能となる。

4. 図面の簡単な説明

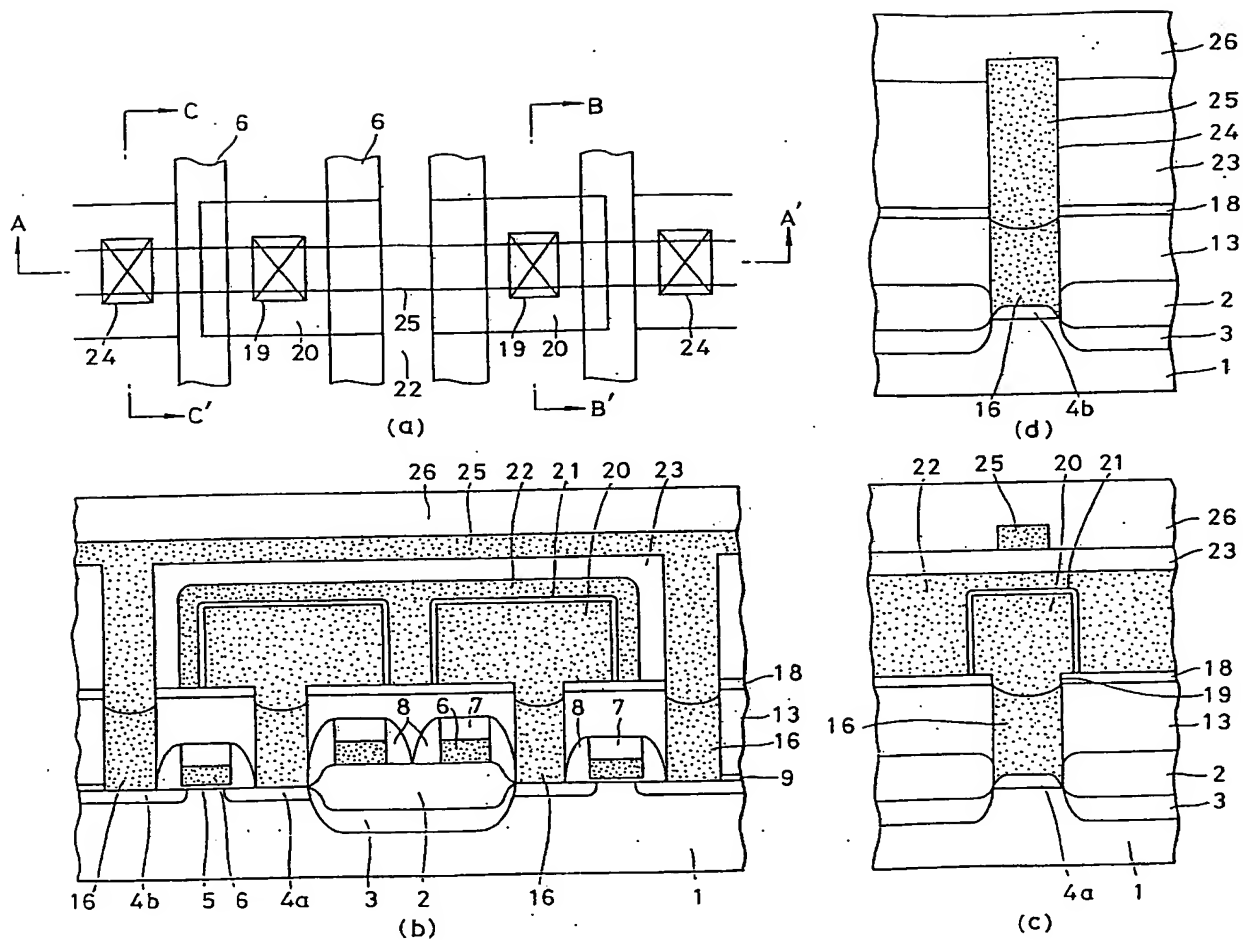
第 1 図 (a) 乃至第 1 図 (d) は本発明の第 1 の実施例の積層形メモリセル構造の DRAM を示す図、第 2 図乃至第 9 図は同積層形メモリセル構造の DRAM の製造工程図、第 10 図は本発明の第 2 の実施例の DRAM を示す図、第 11 図は本発明の第 3 の実施例の DRAM を示す図、第 12 乃至第 17 図は本発明の第 4 の実施例の積層形メモリセル構造の DRAM の製造工程図、第 18 図は本発明の第 5 の実施例の積層形メモリセル構造の変形例を示す図、第 19 図は本発明の第 6 の実施例の DRAM を示す図、第 20 乃至第 30 図は同実施例の積層形メモリセル構造の DRAM の製造工程図、第 31 図は本発明の第 7 の実施例の DRAM を示す図、第 32 図乃至第 38 図は同 DRAM の製造工程図、第 39 図は本発明の第 8 の実施例の積層形メモリセル構造の DRAM を示す図、第 40 図は本発明の第 9 の実施例の積層形メモリセル構造の DRAM を示す図、第 41 図は本発明の第

— 66 —

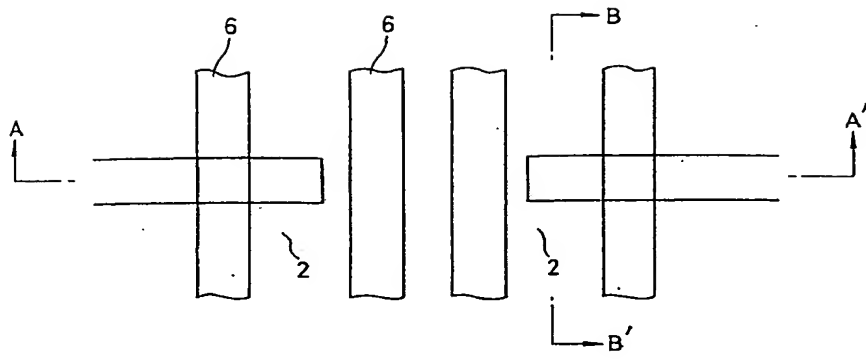
10の実施例の積層形メモリセル構造のDRAMを示す図、第42図は本発明の第11の実施例の積層形メモリセル構造のDRAMを示す図、第43図は本発明の第12の実施例の積層形メモリセル構造のDRAMを示す図、第44図は本発明の第13の実施例の積層形メモリセル構造のDRAMを示す図、第45図は同DRAMの製造工程図、第46図乃至第54図は本発明の第14の実施例の積層形メモリセル構造のDRAMの製造工程図、第55図は従来例の積層形メモリセル構造のDRAMを示す図である。

1…p型のシリコン基板、2…素子分離絶縁膜、3…チャネルストップ、4a、4b…ソース・ドレイン領域、5…ゲート絶縁膜、6…ゲート電極、7…絶縁膜、8…側壁絶縁膜、9…酸化シリコン膜、10…窒化シリコン膜、11…多結晶シリコン膜、12…酸化シリコン膜、13…層間絶縁膜、14…第1のストレージノードコンタクト、15…第1のビット線コンタクト、16…多結晶シリコン膜、17…酸化シリコン膜、18…層間絶縁

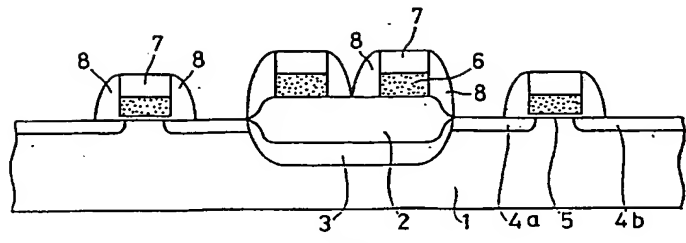
膜、19…第2のストレージノードコンタクト、20…ストレージノード電極、21…キャパシタ絶縁膜、22…プレート電極、23…層間絶縁膜、24…第2のビット線コンタクト、25…ビット線、26…層間絶縁膜、28…エピタキシャル成長層、29…窒化シリコン膜、101…p型のシリコン基板、102…素子分離絶縁膜、103…104a、104b…n-形拡散層、105…ゲート絶縁膜、106…ゲート電極、107…絶縁膜、108…ストレージノードコンタクト、110…第1のキャパシタ電極、111…キャパシタ絶縁膜、112…第2のキャパシタ電極。



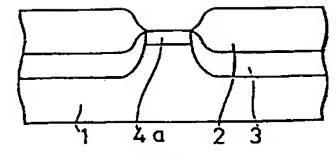
第 1 図



(a)

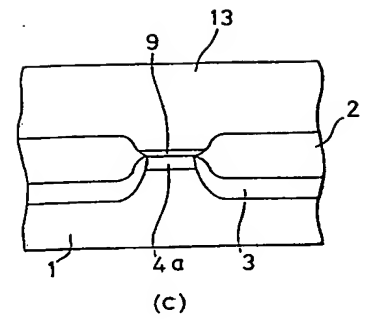
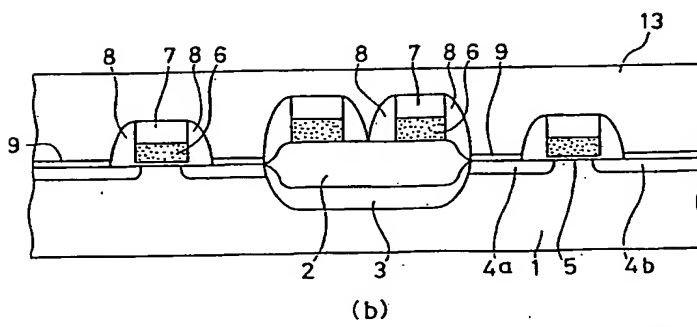
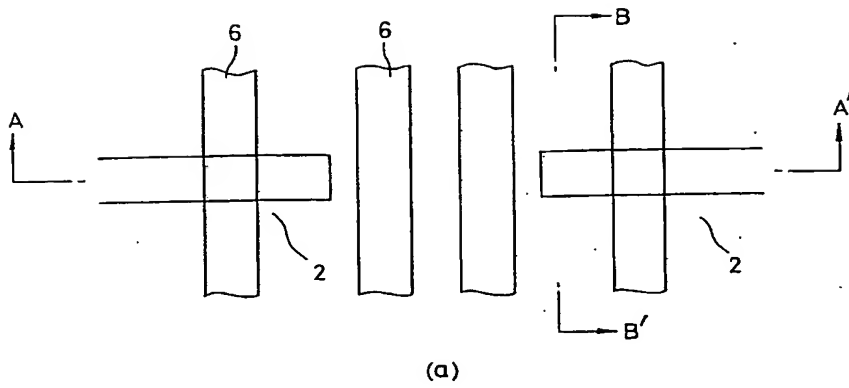


(b)

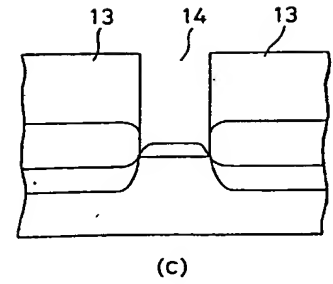
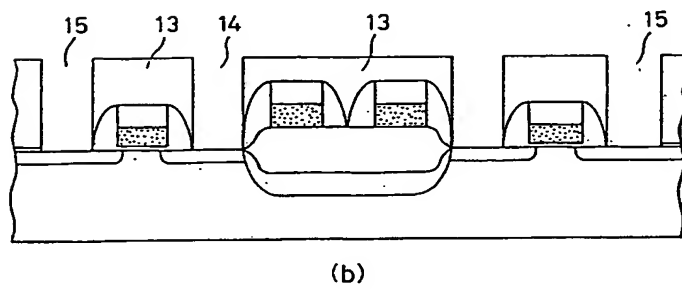
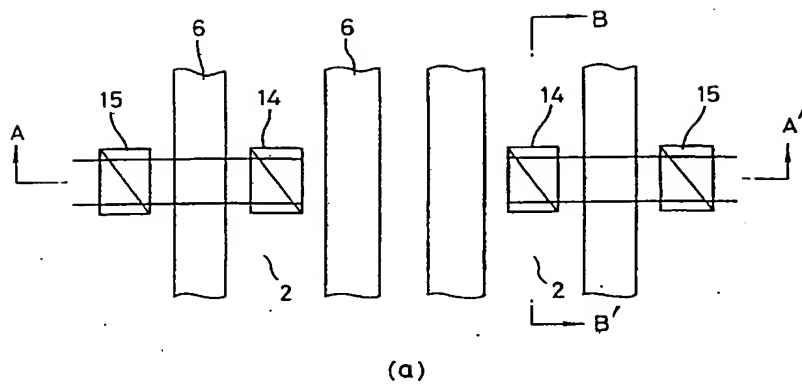


(c)

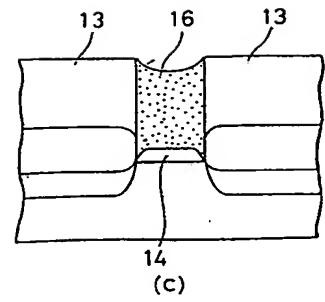
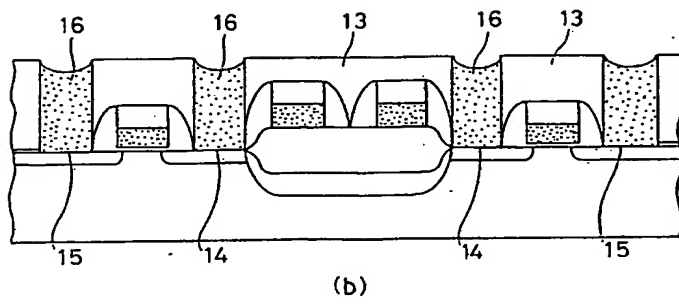
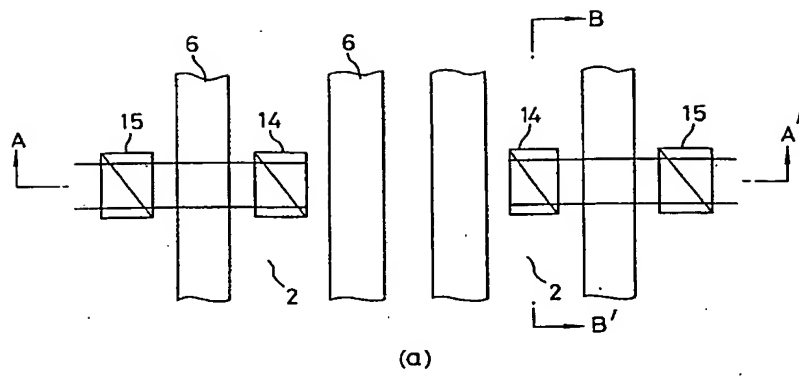
第 2 図



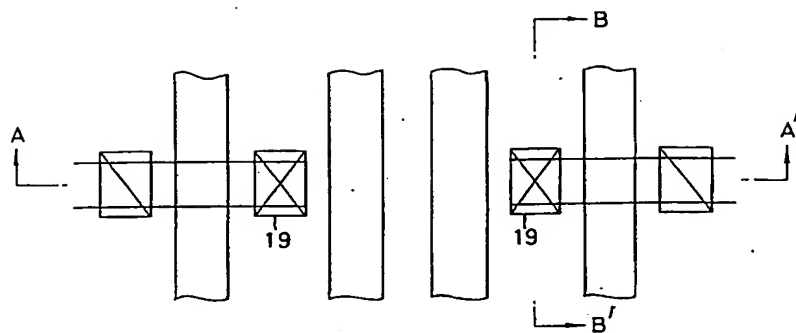
第 3 図



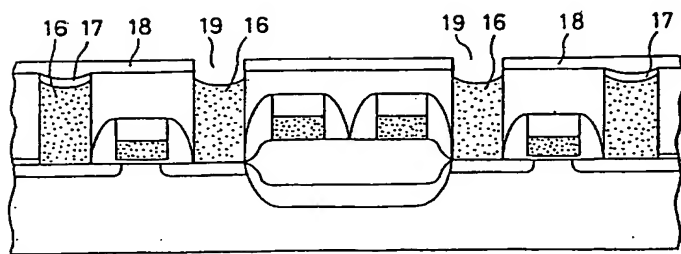
第 4 図



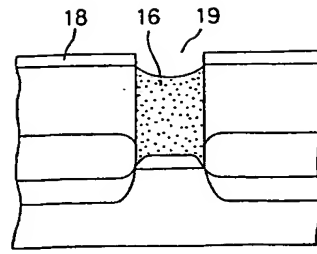
第 5 図



(a)

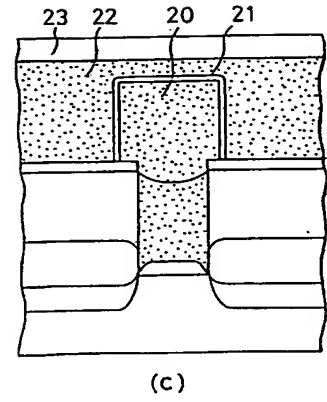
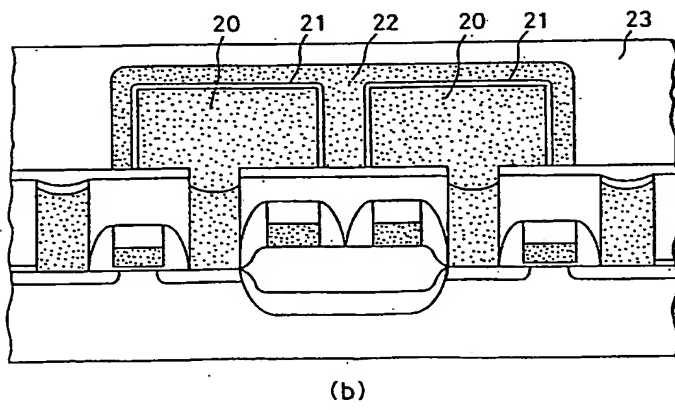
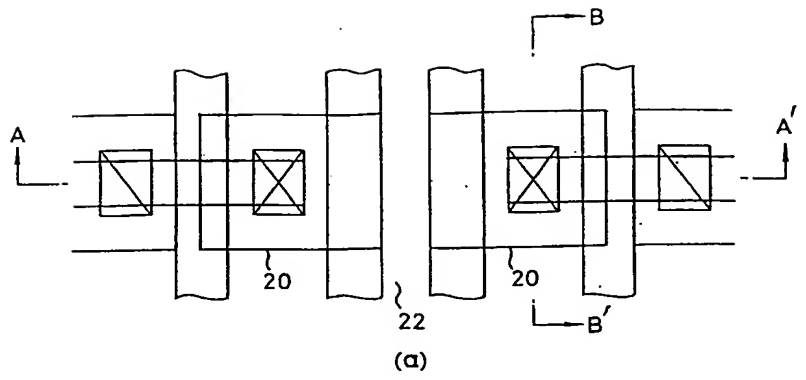


(b)

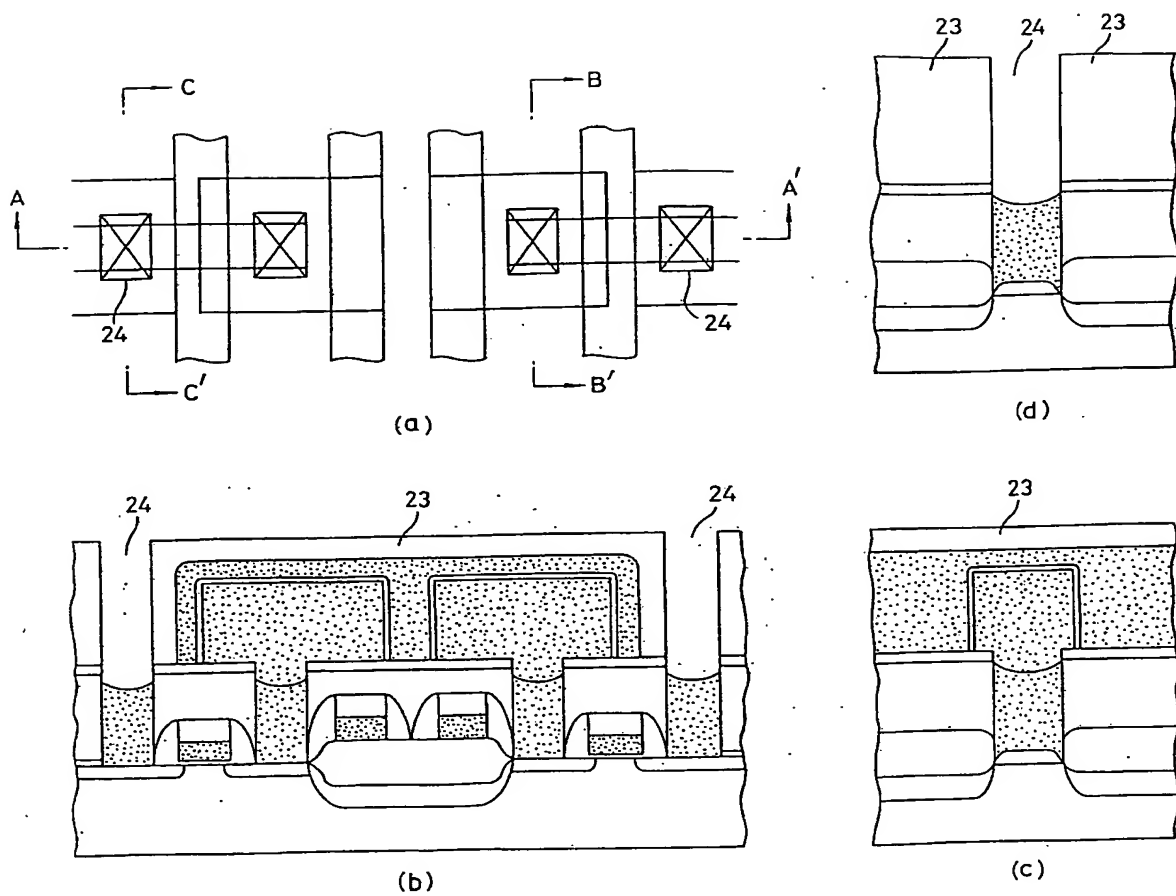


(c)

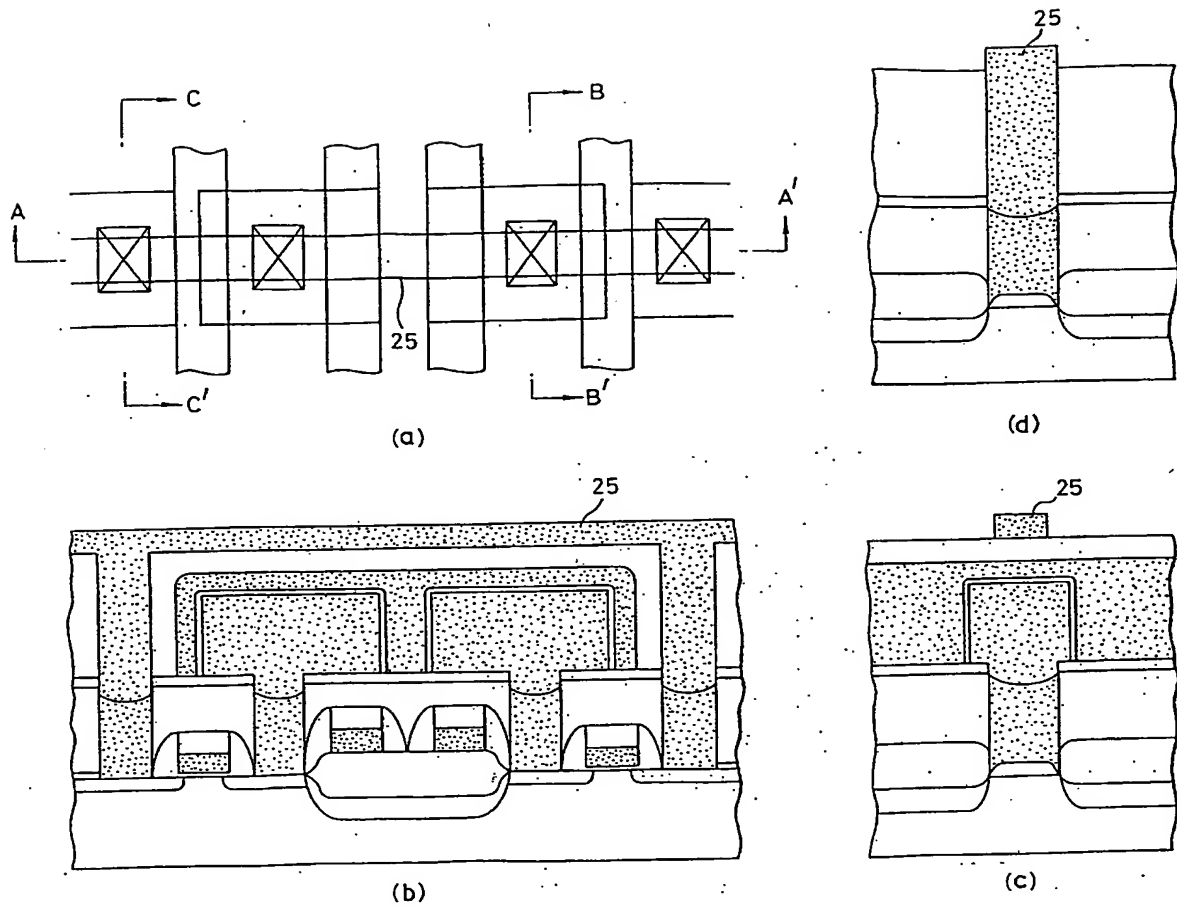
第 6 図



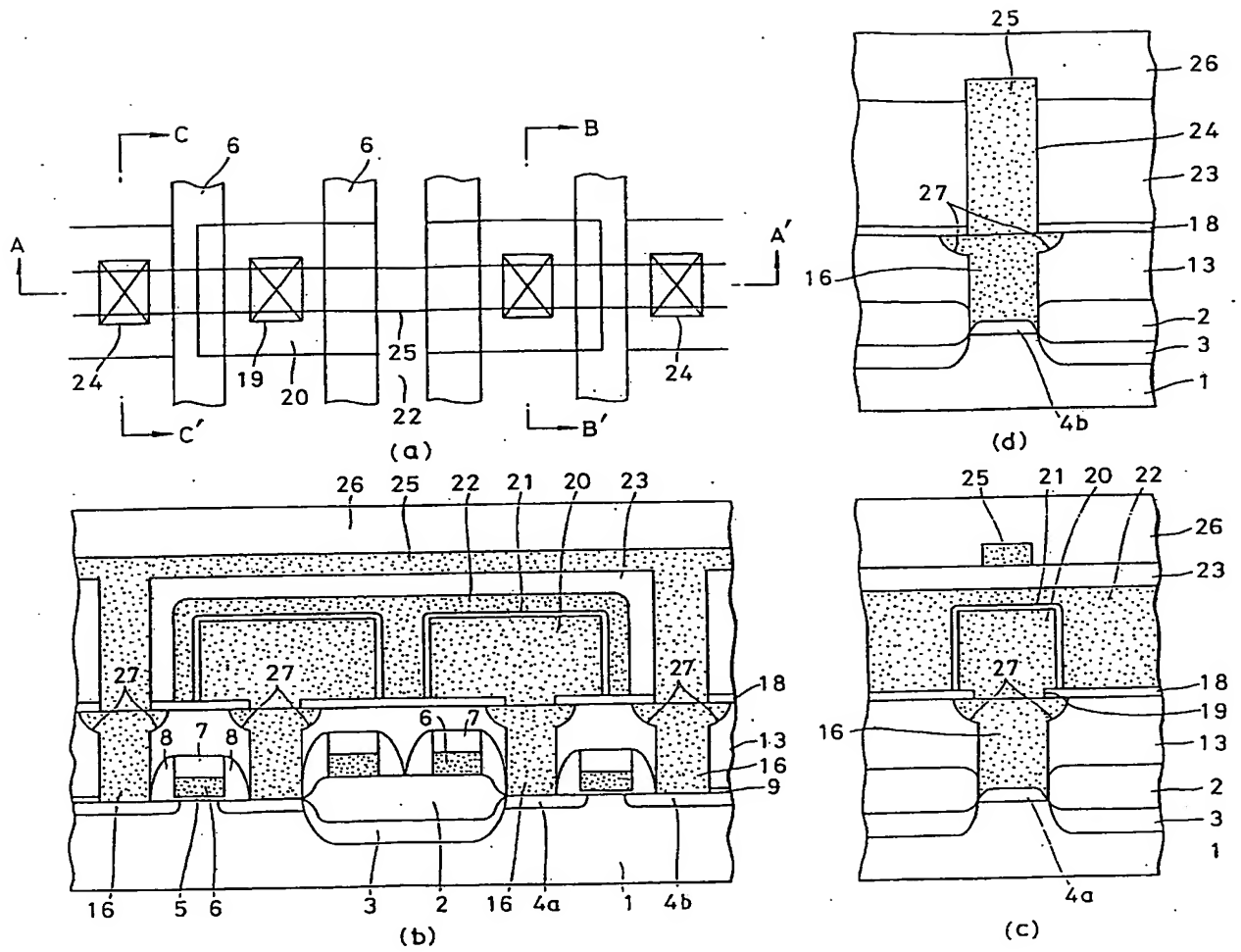
第 7 図



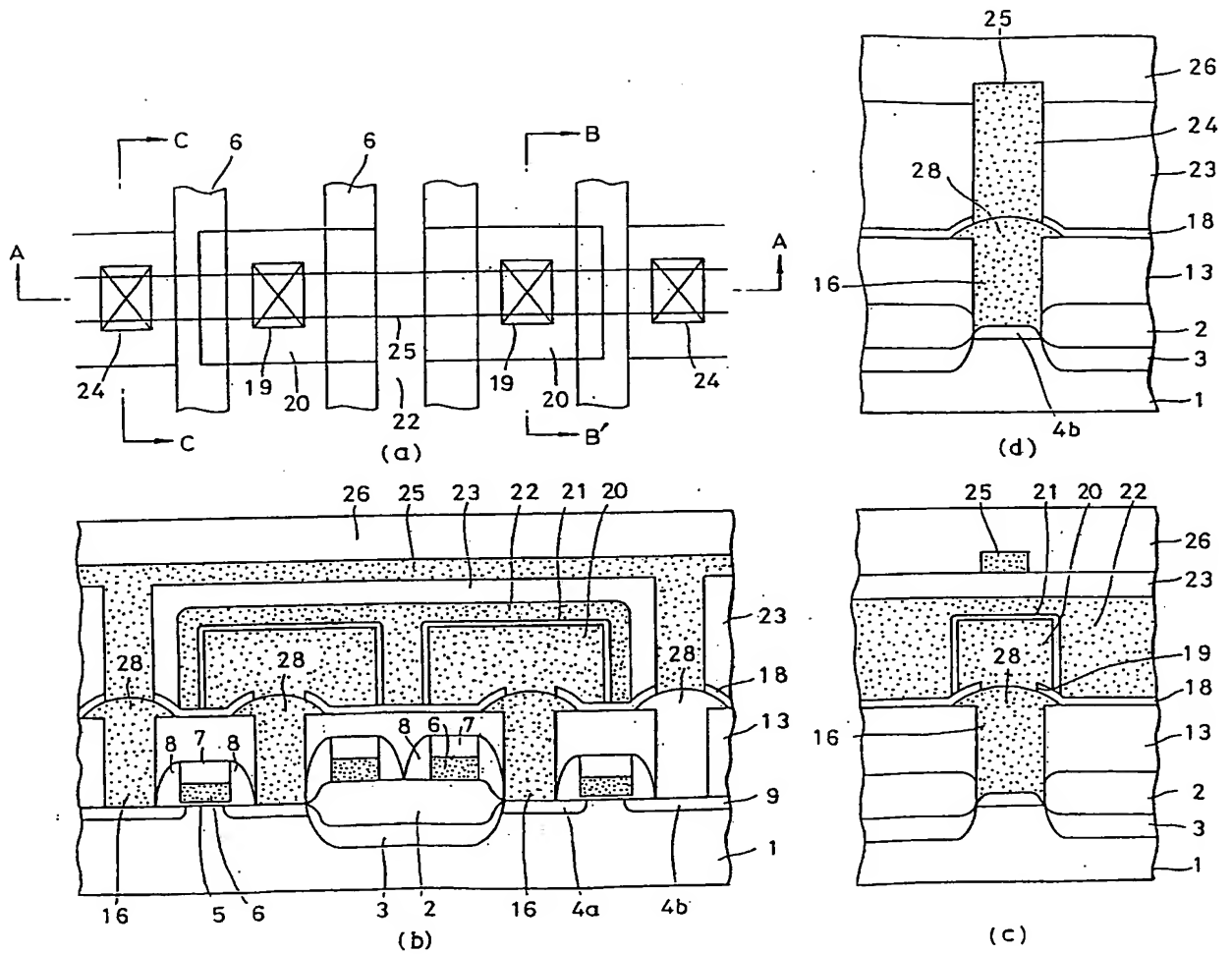
第 8 図



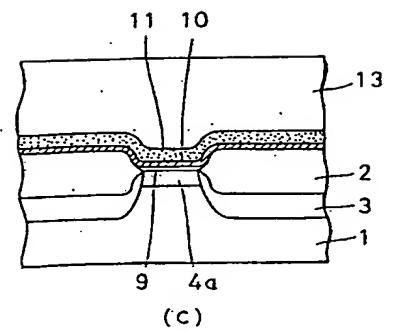
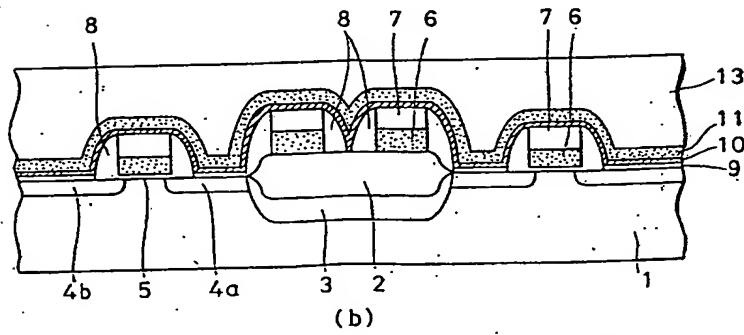
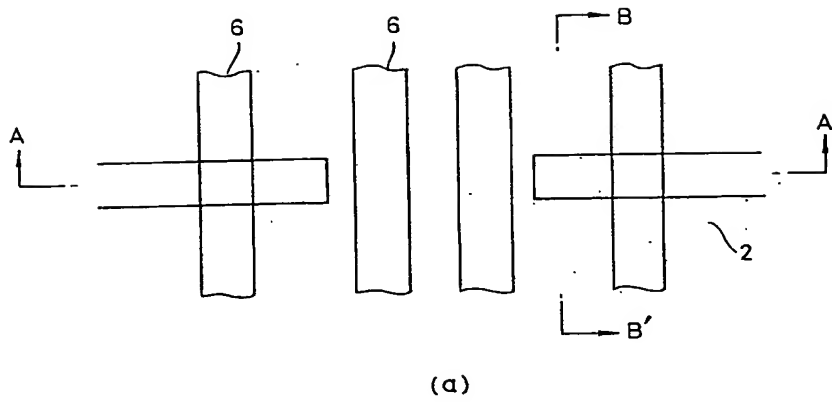
第 9 図



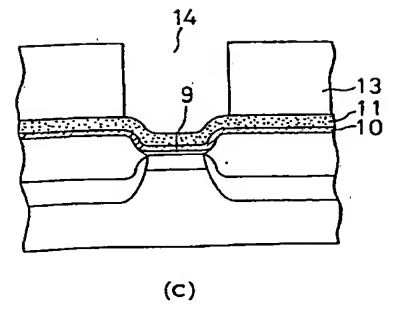
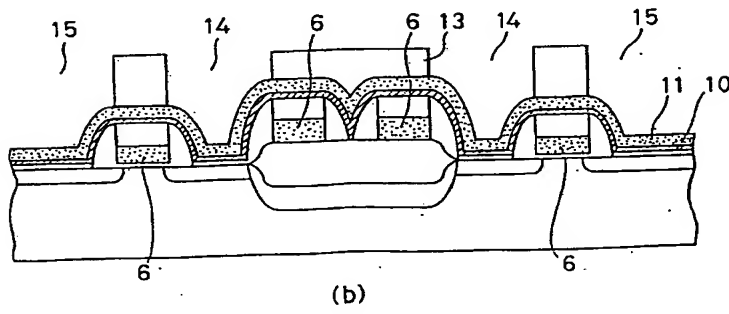
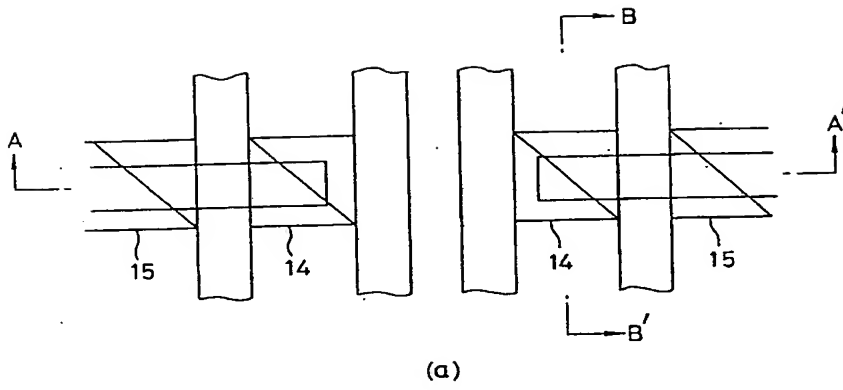
第10図



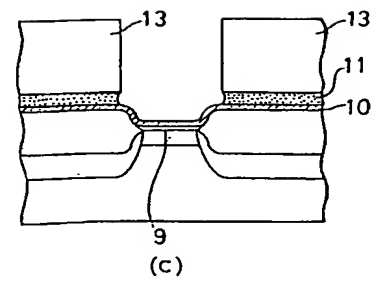
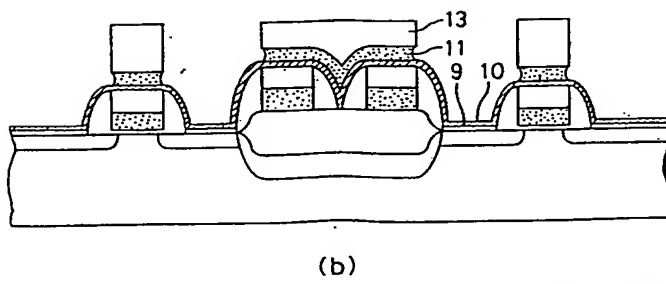
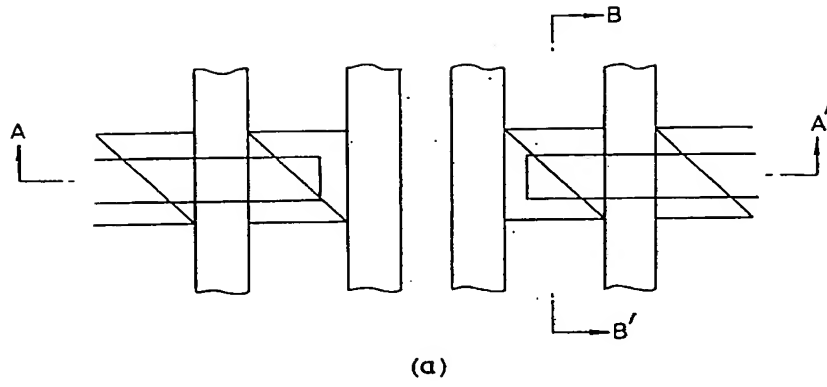
第11図



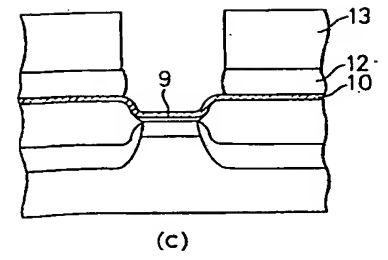
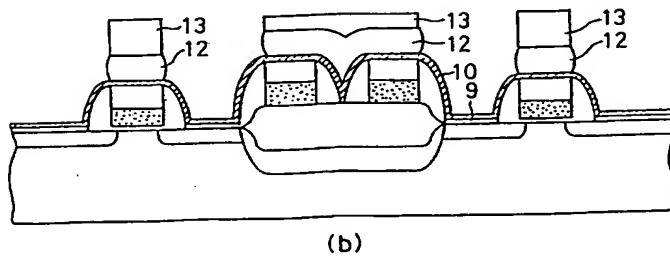
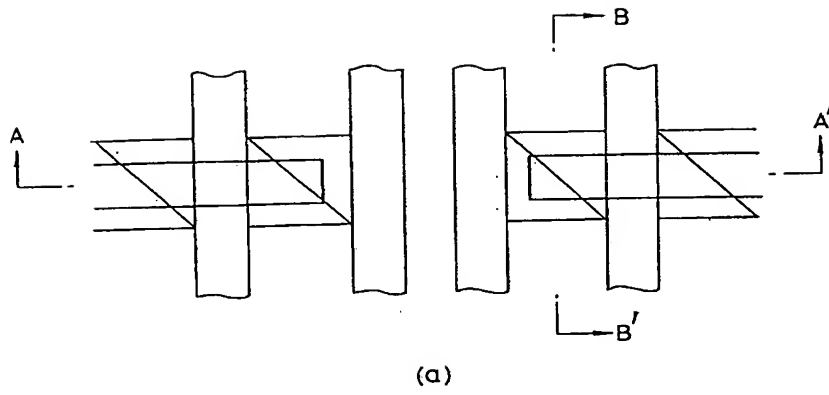
第12図



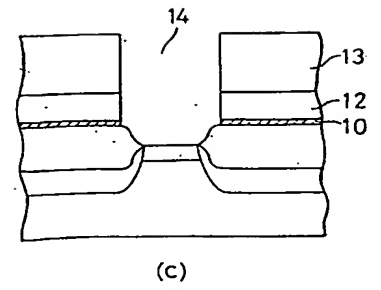
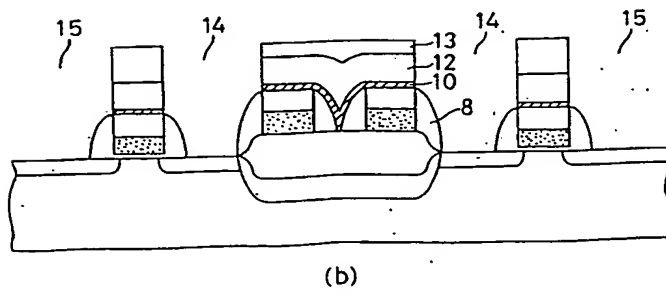
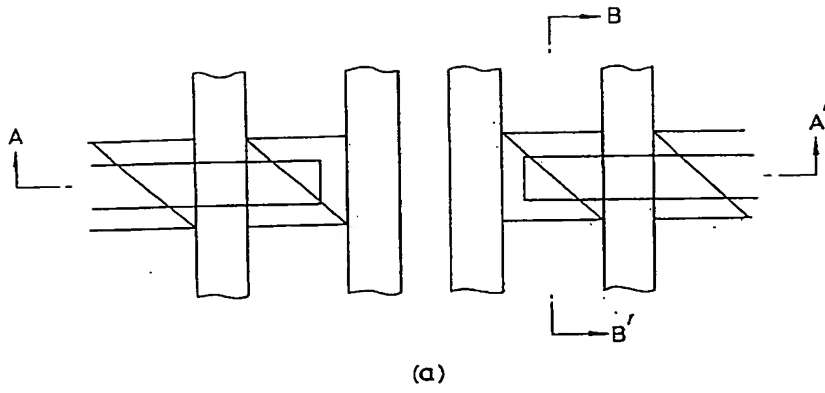
第13図



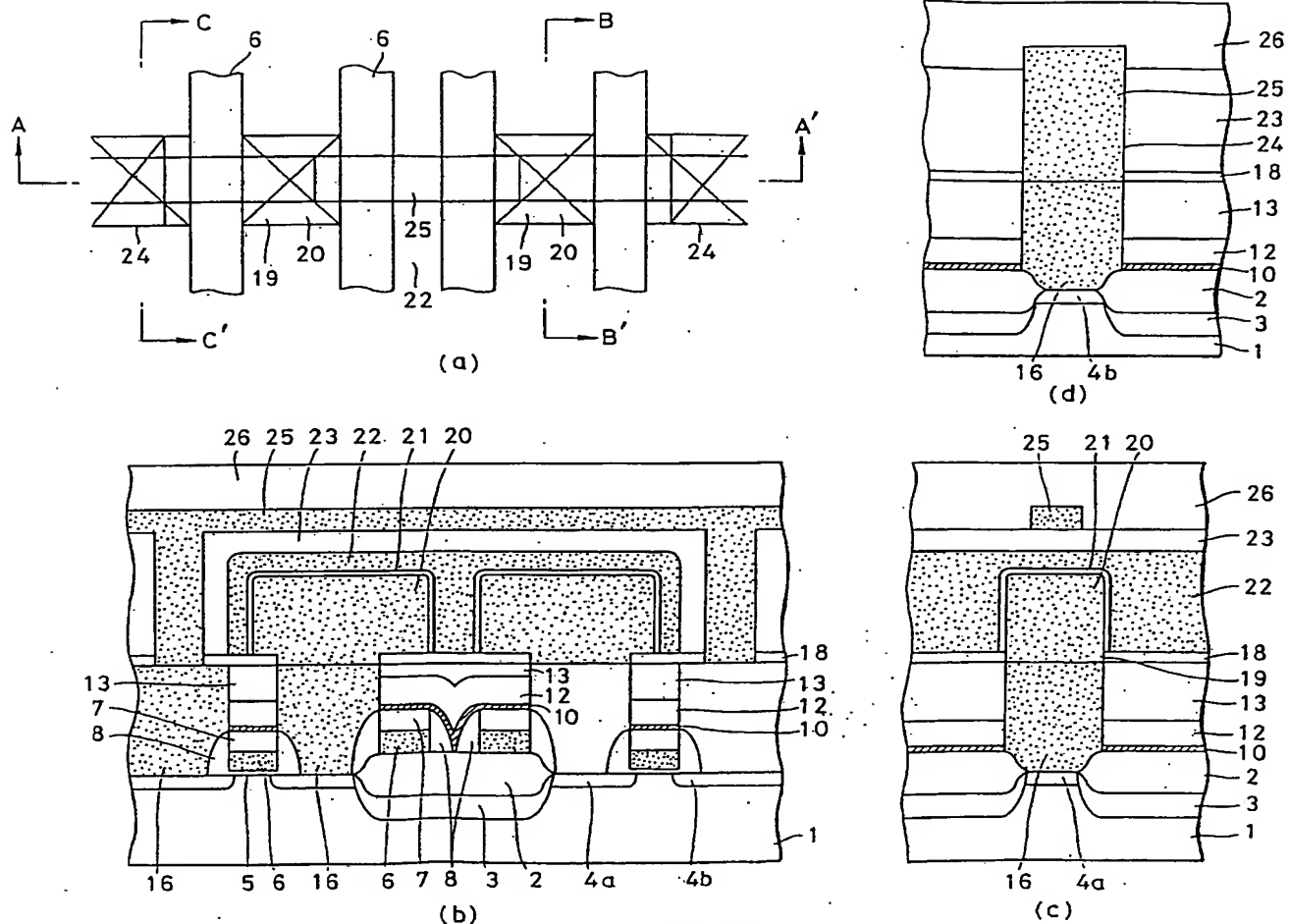
第14図



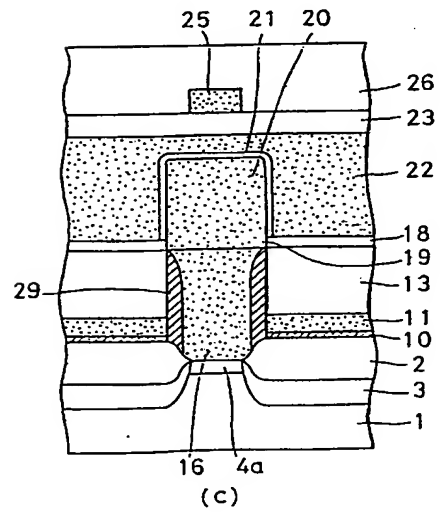
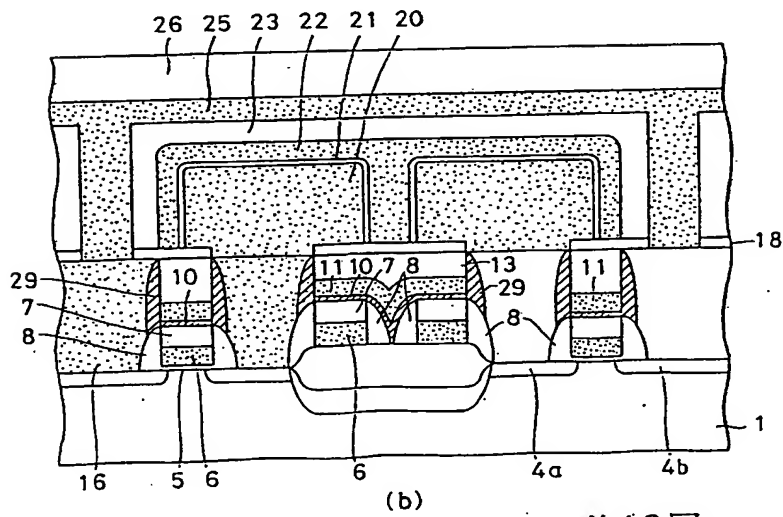
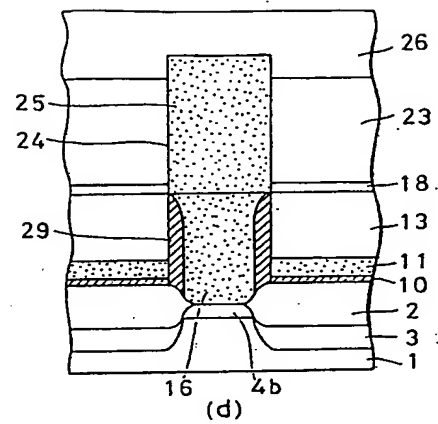
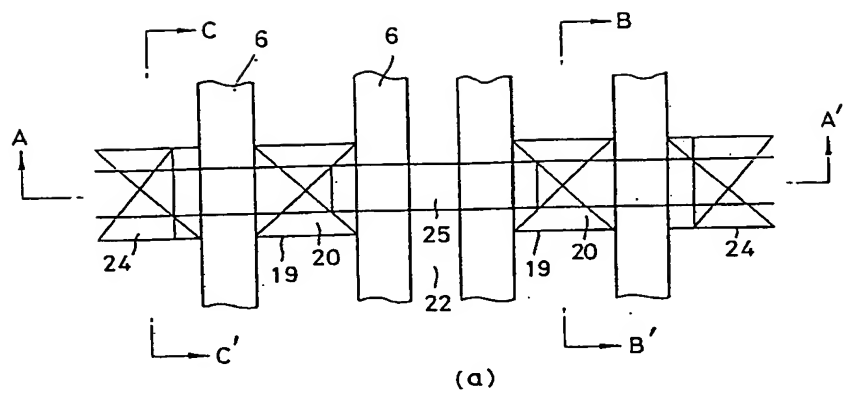
第15図



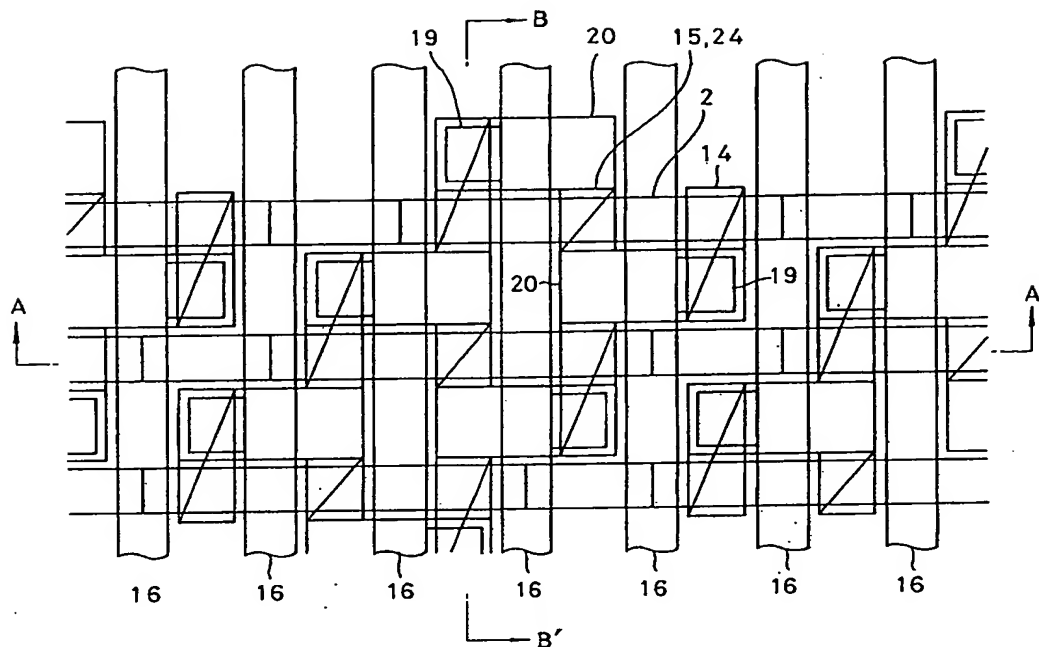
第16図



第17図

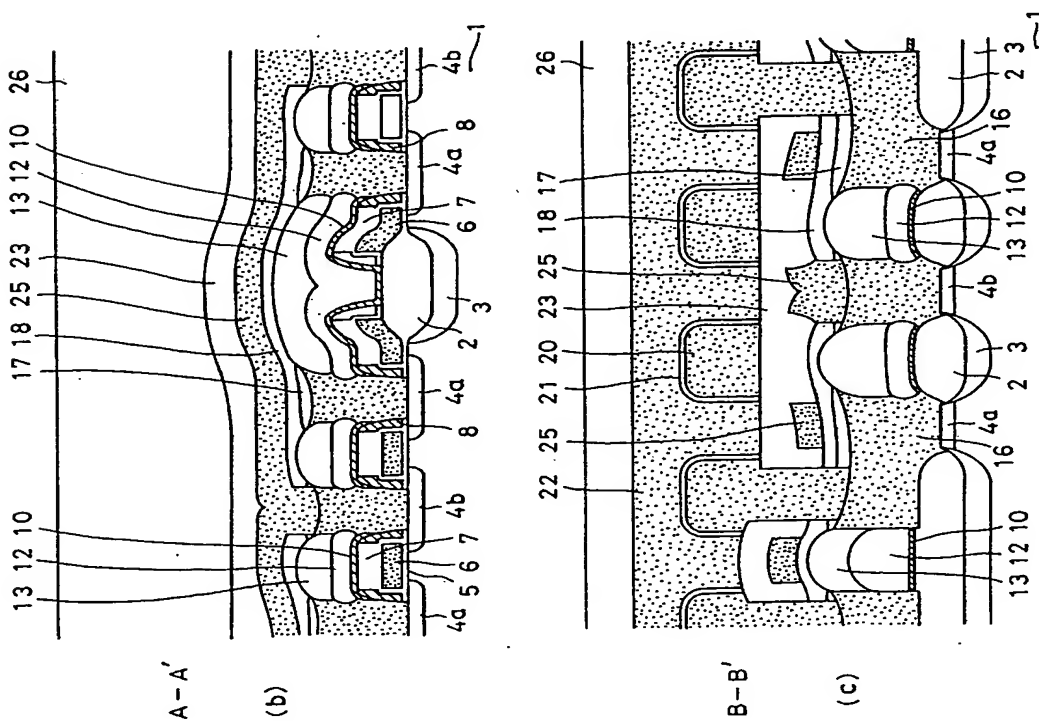


第18図

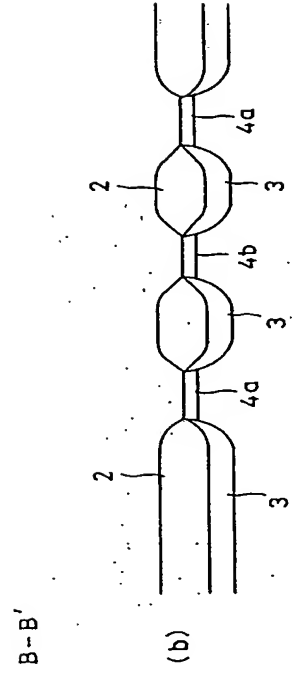
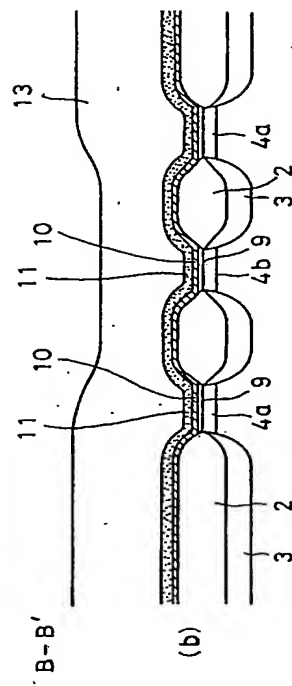
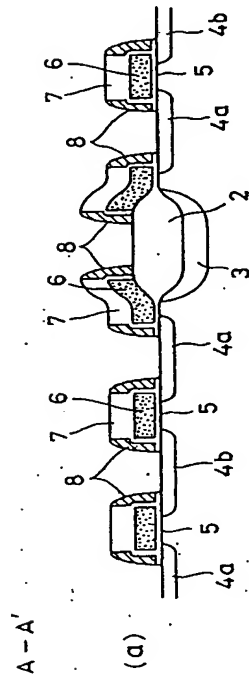
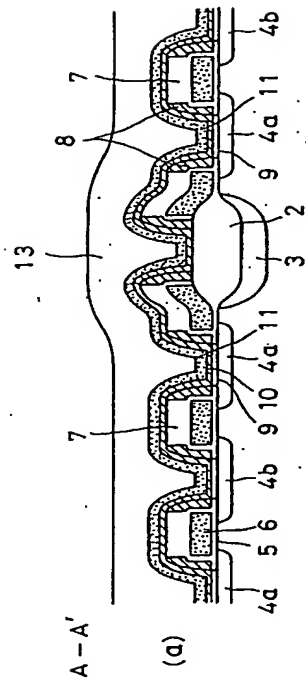


(a).

第19図 (その1)

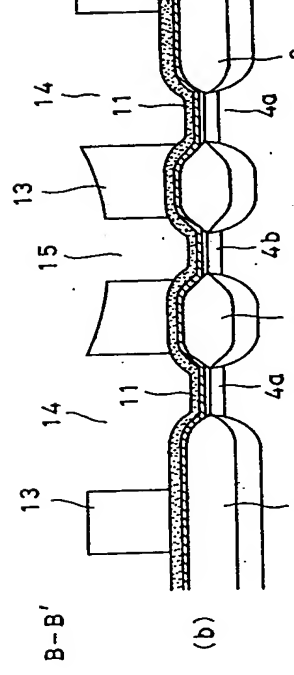
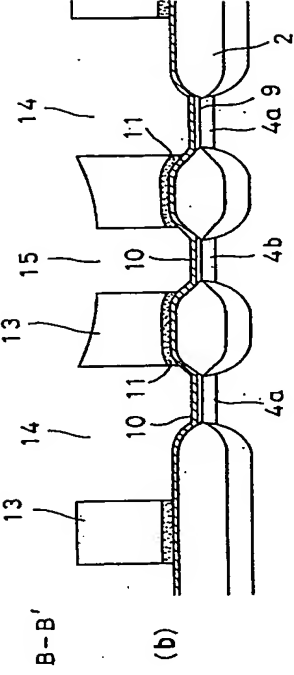
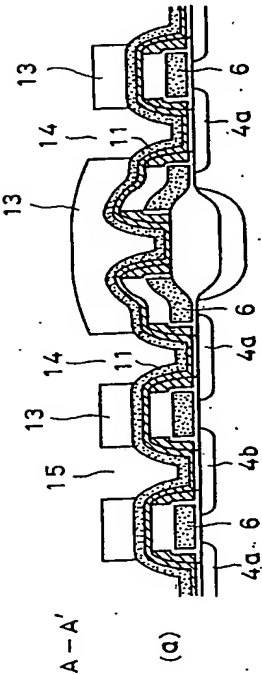
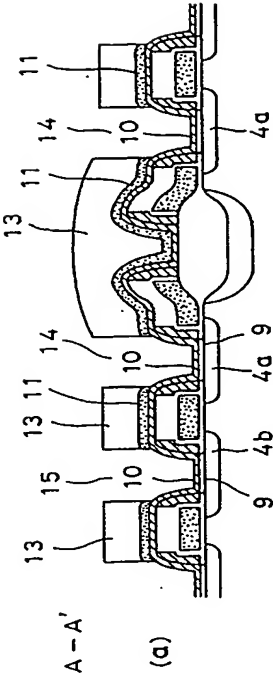


第19図 (その2)



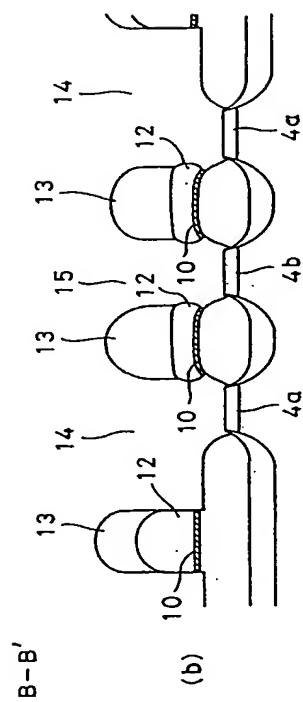
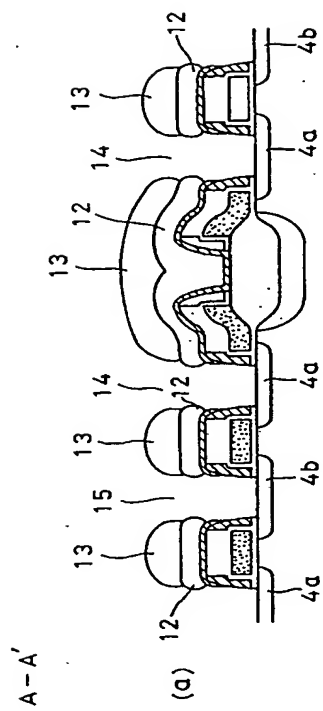
第21図

第20図

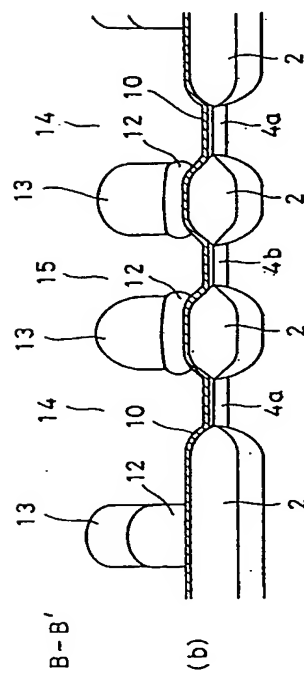
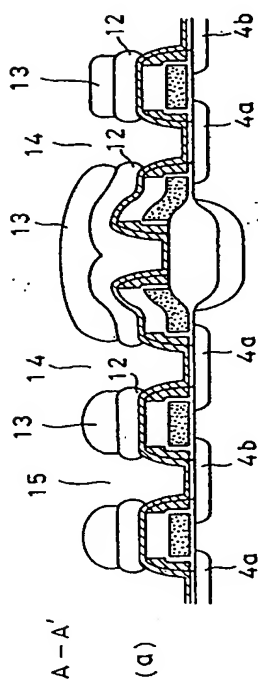


第23図

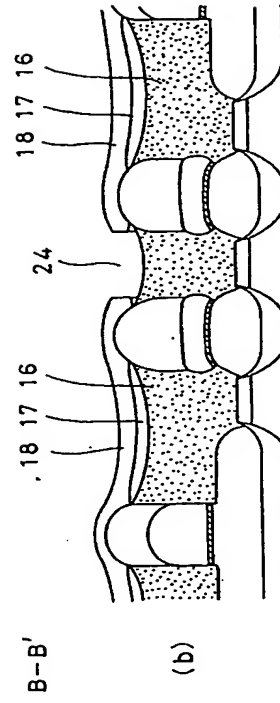
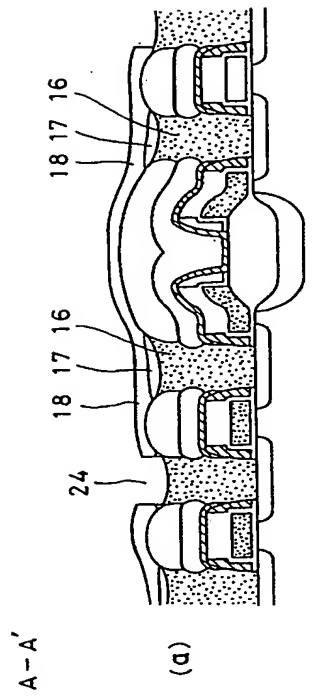
第22図



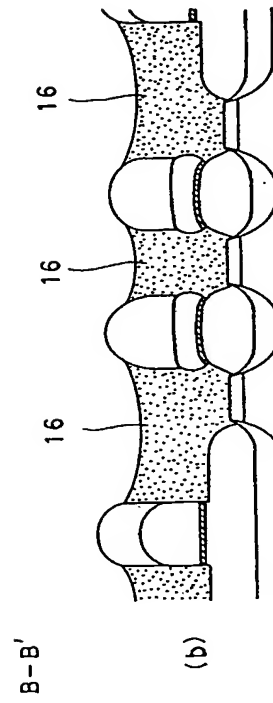
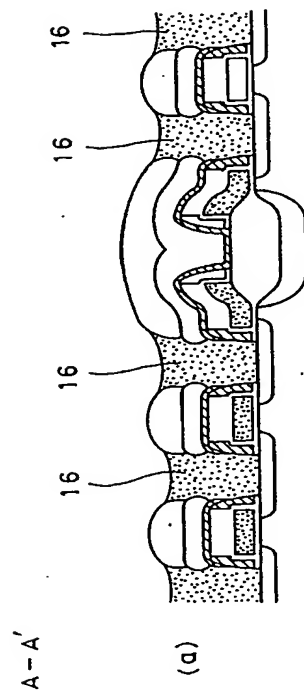
第25図



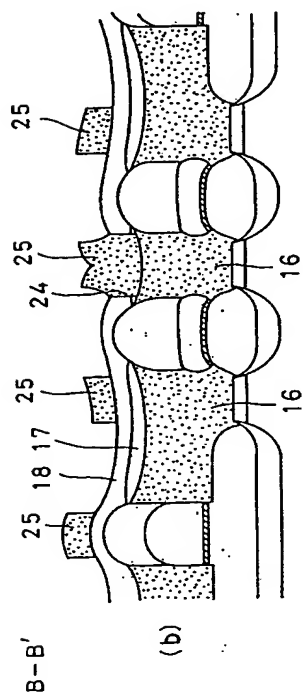
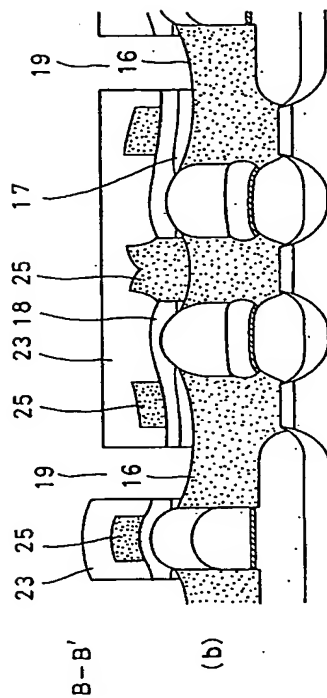
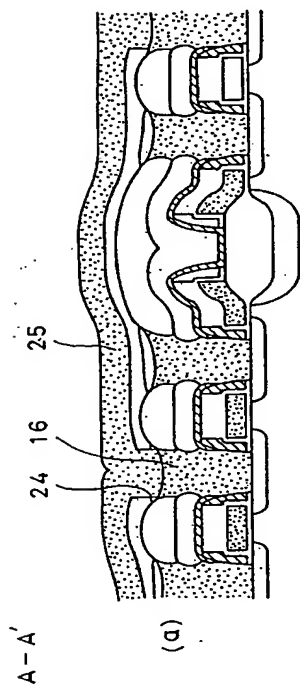
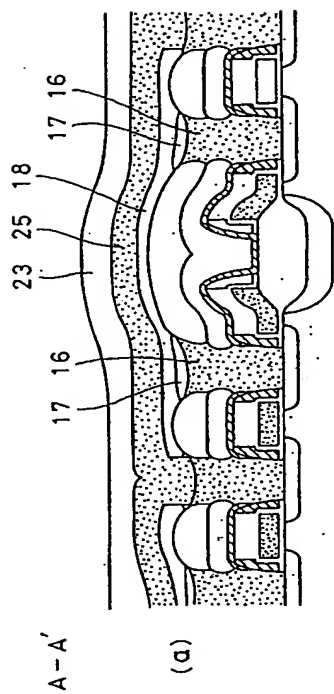
第24図



第27図

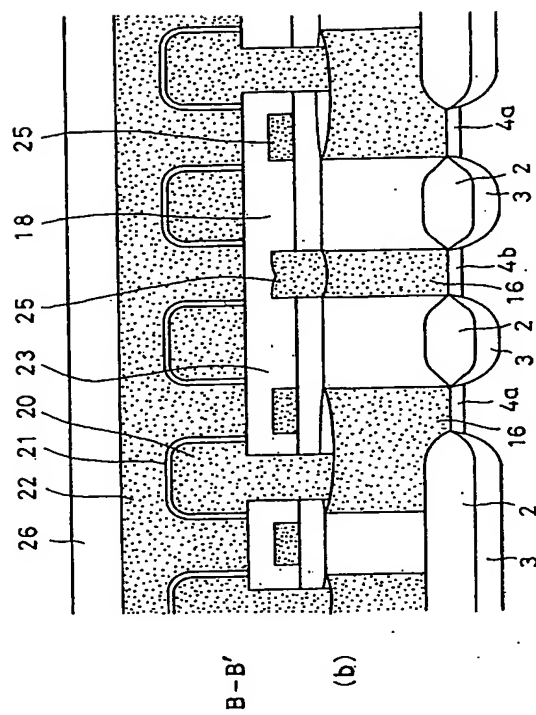
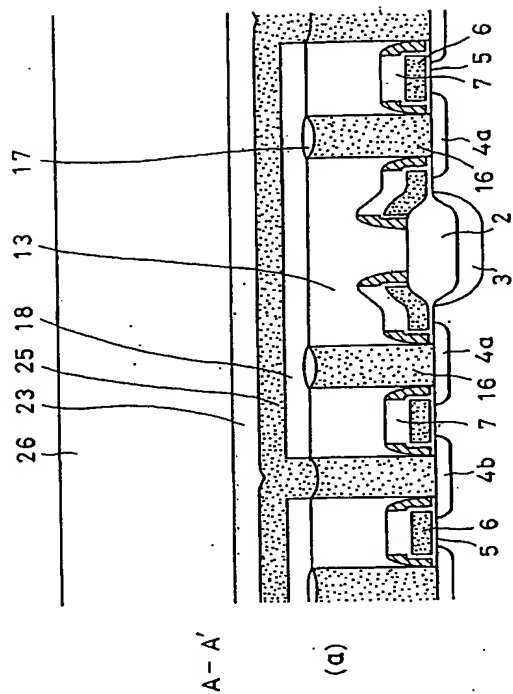


第26図

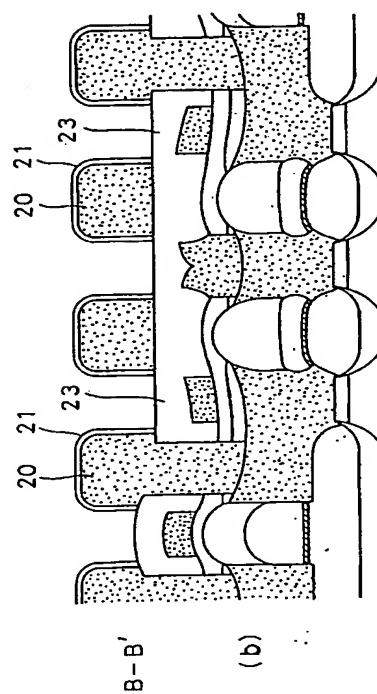
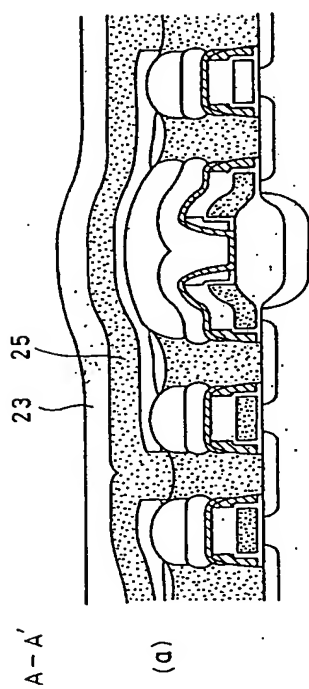


第29図

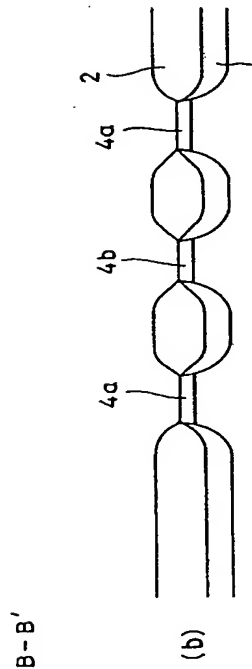
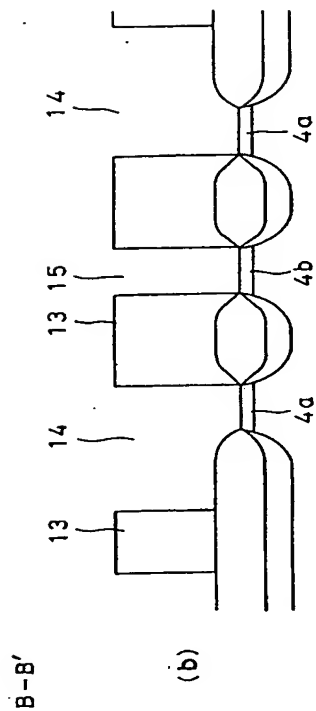
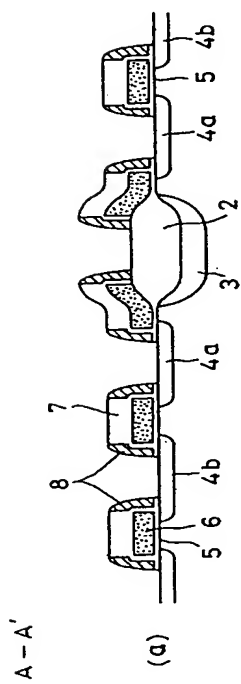
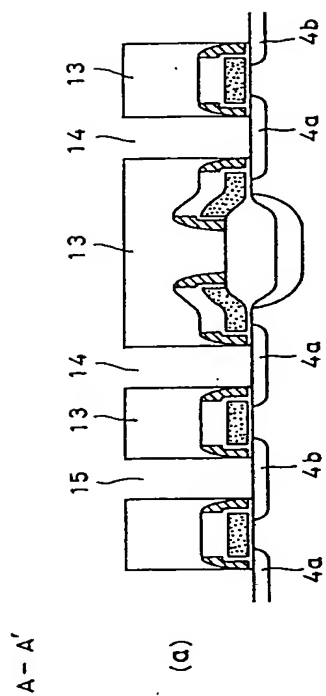
第28図



第31圖



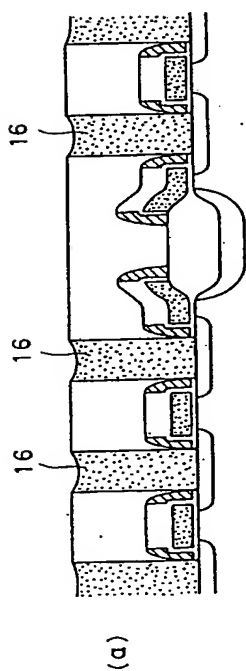
第30圖



第33図

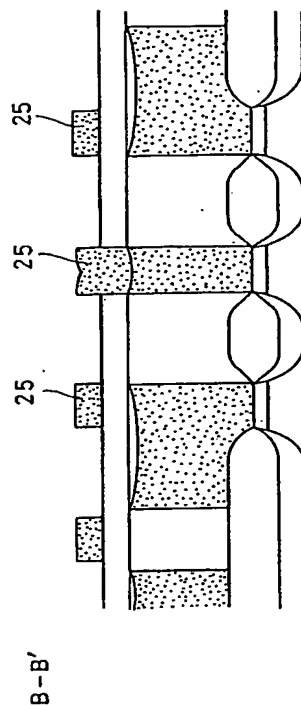
第32図

A-A'



(a)

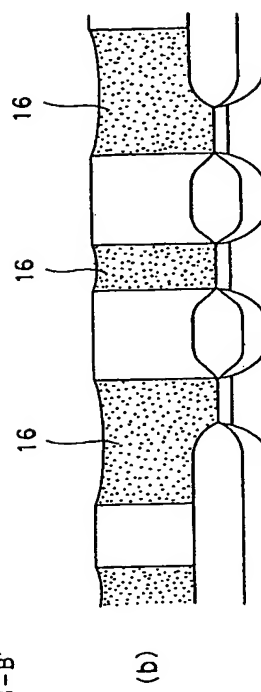
第35図



B-B'

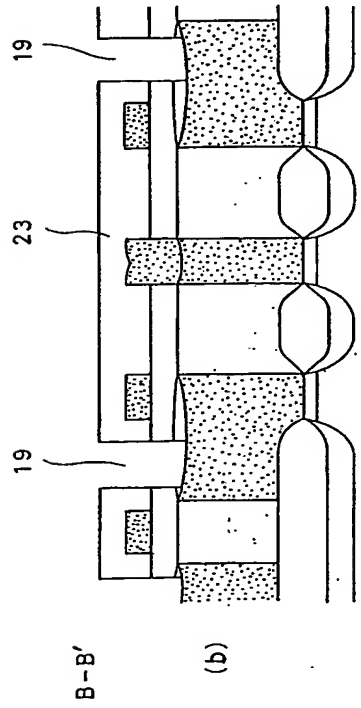
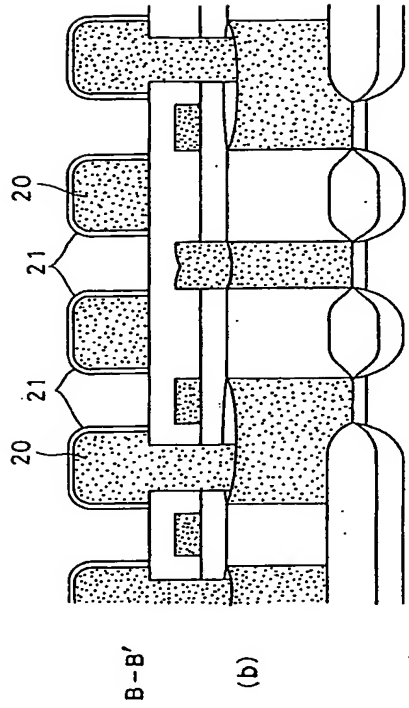
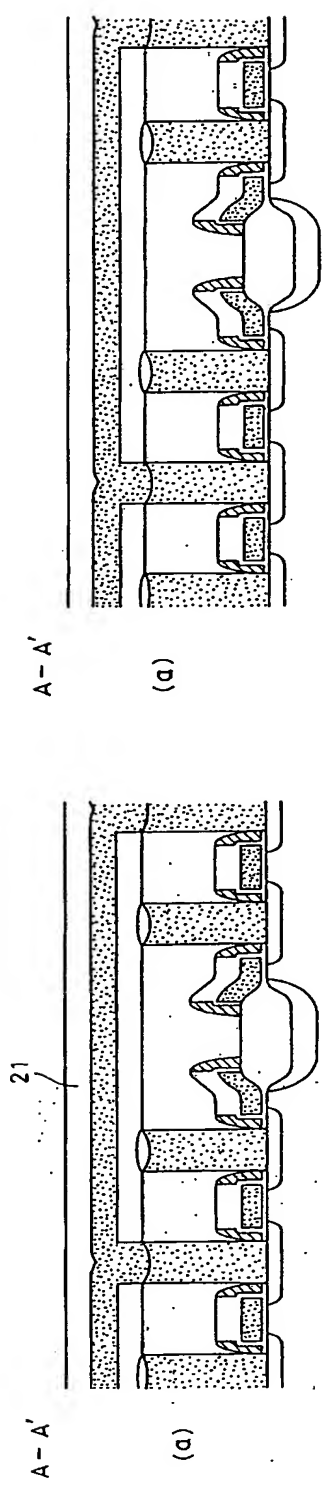
第36図

B-B'



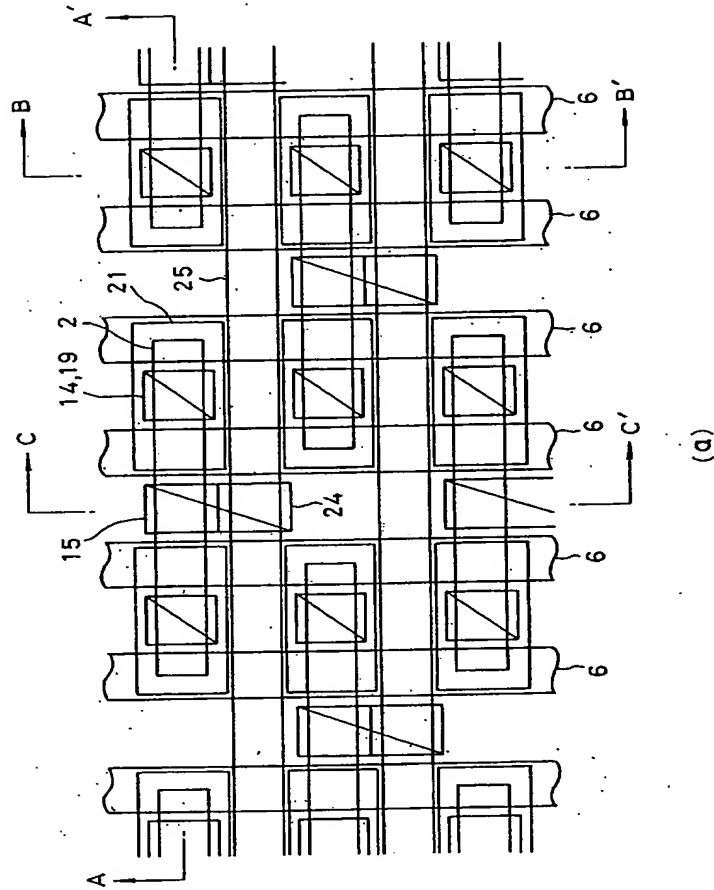
(b)

第34図

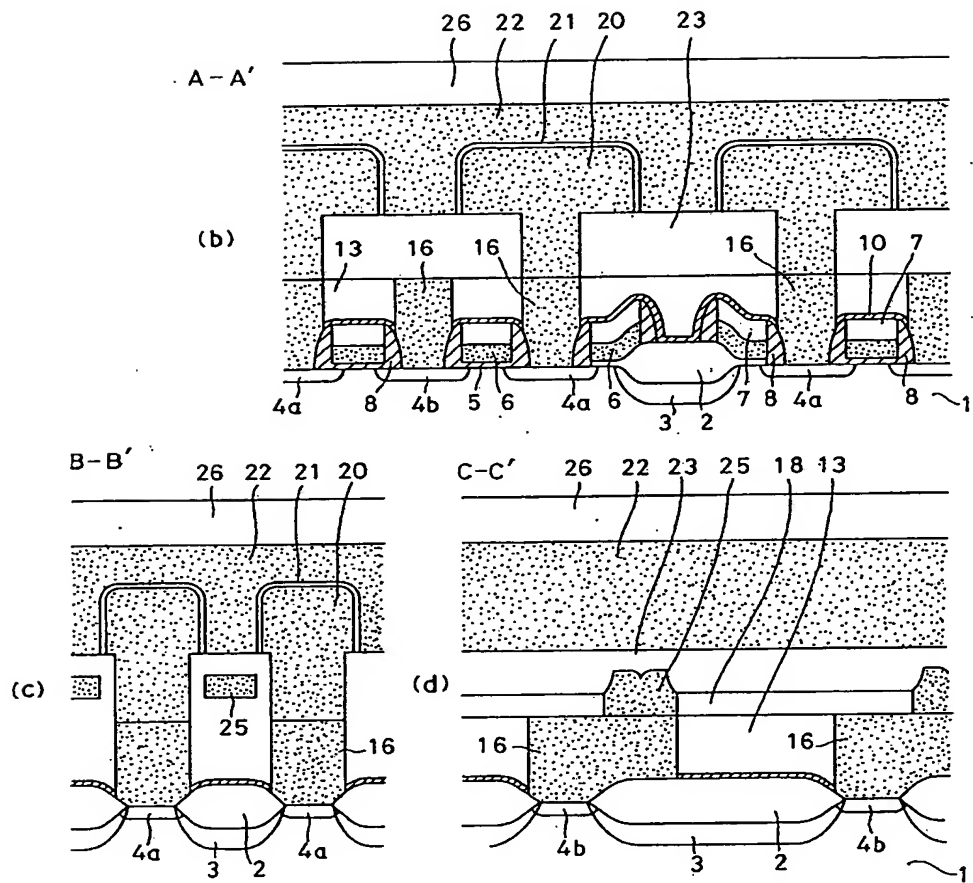


第38図

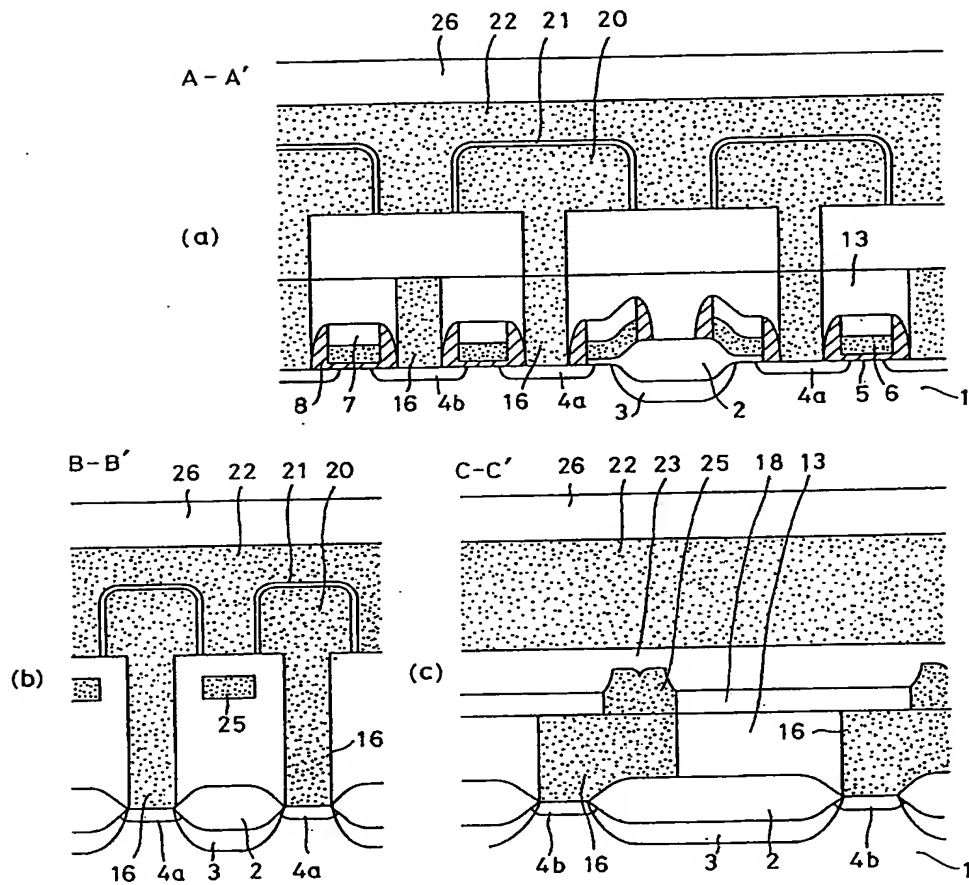
第37図



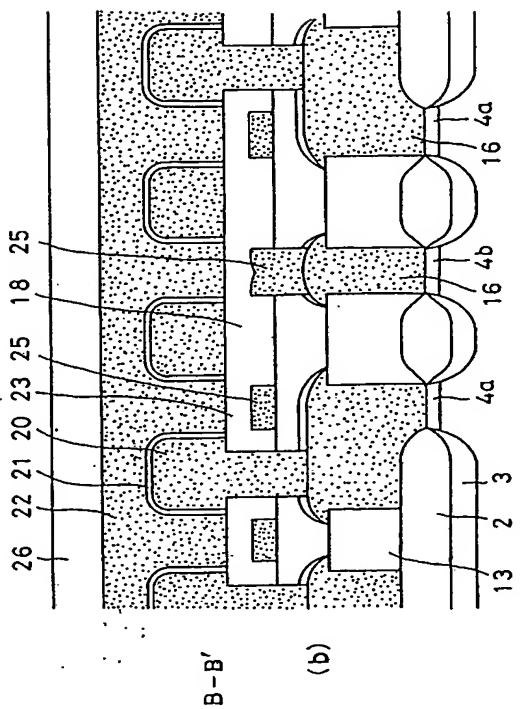
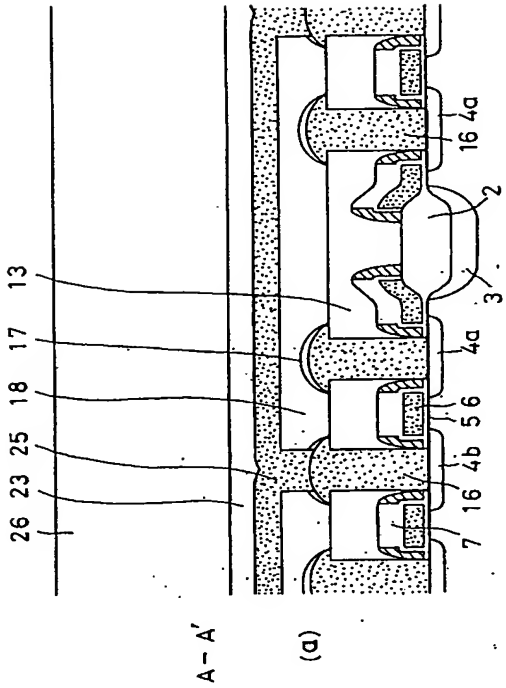
第39図 (その1)



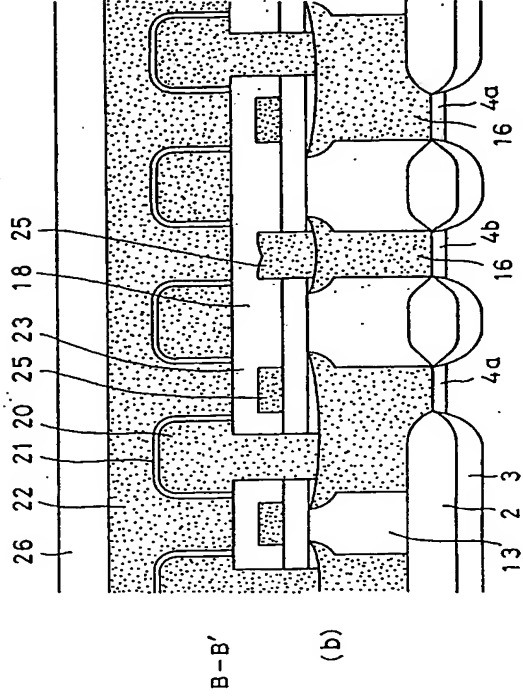
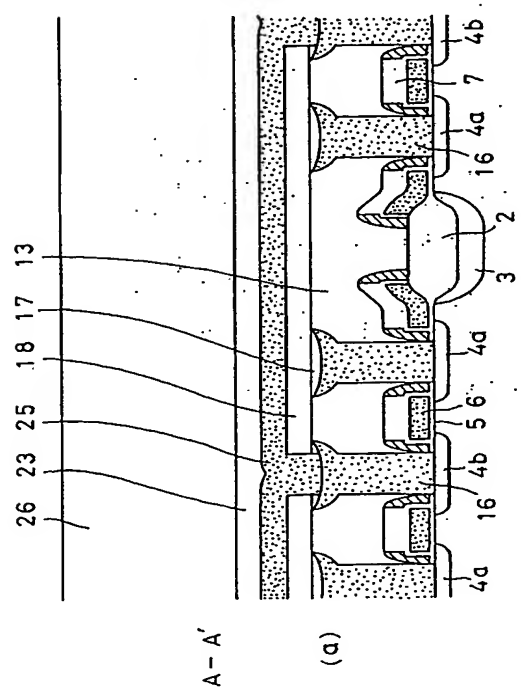
第39図 (その2)



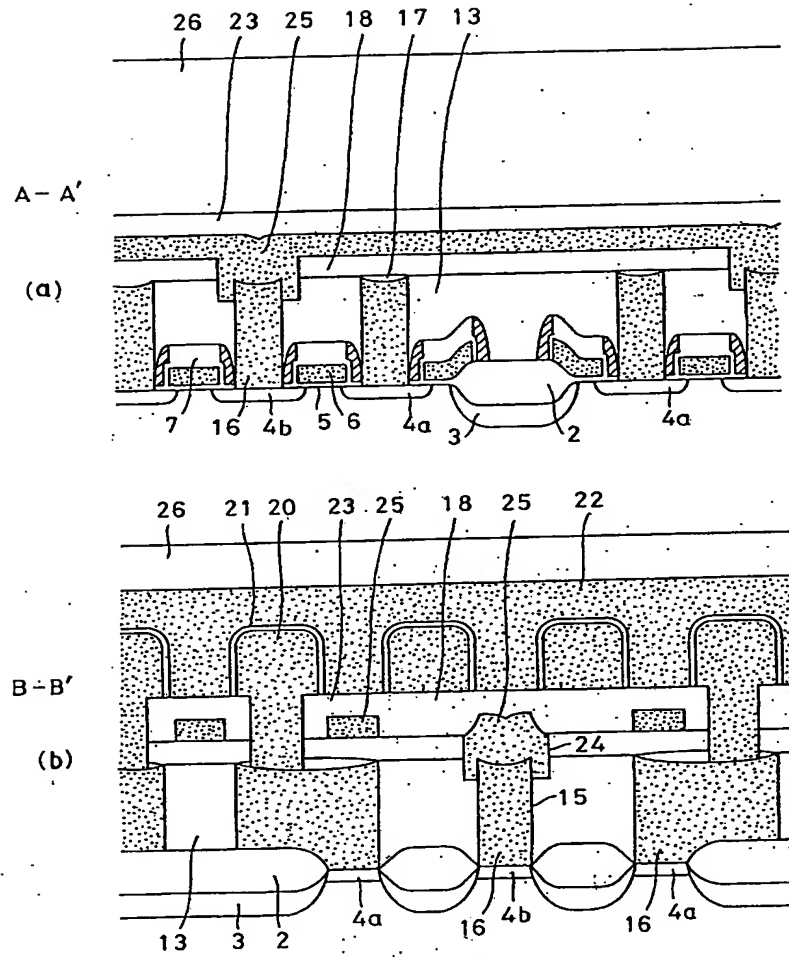
第40図



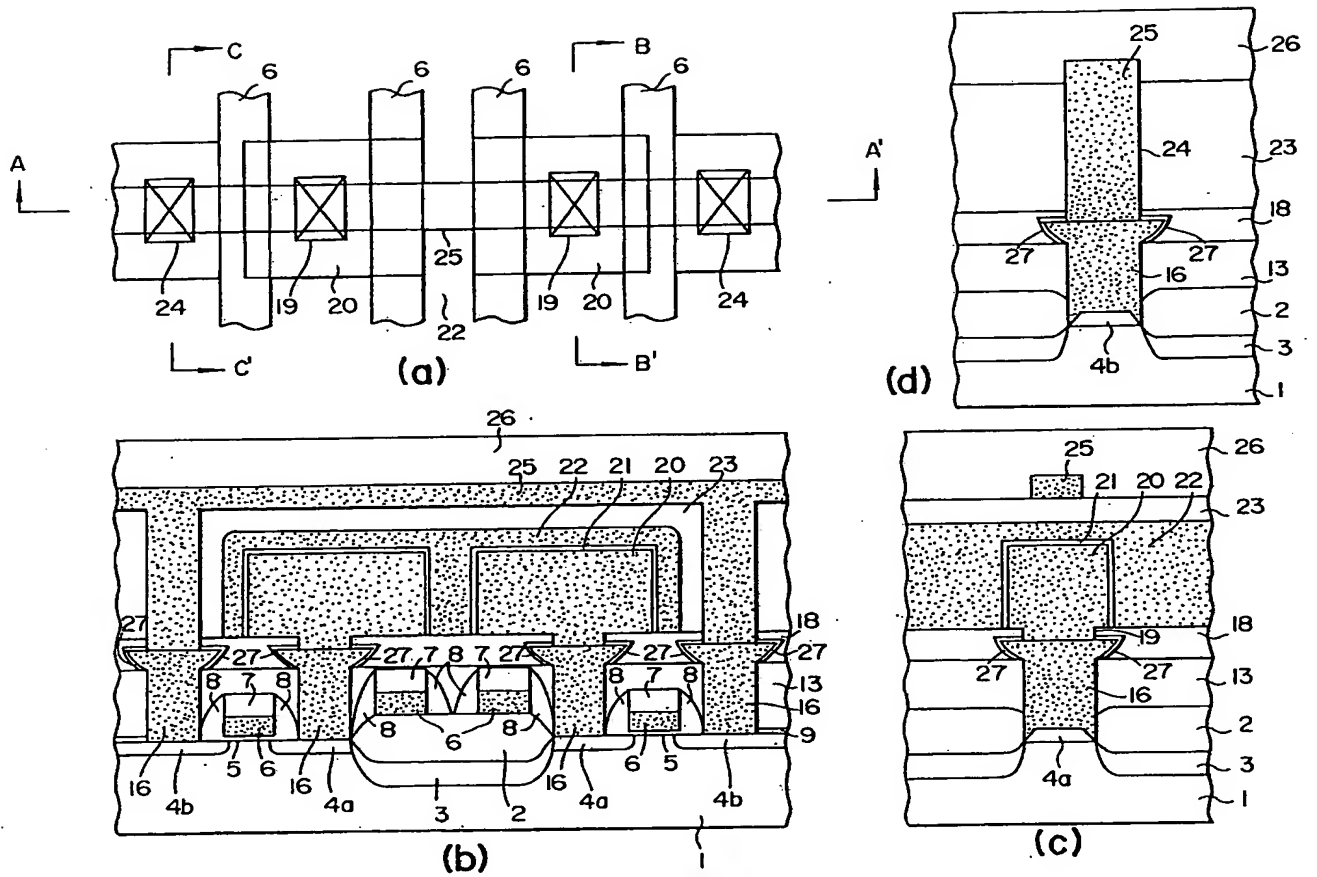
第41図



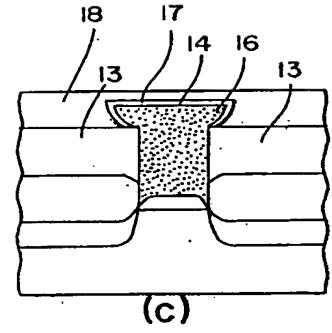
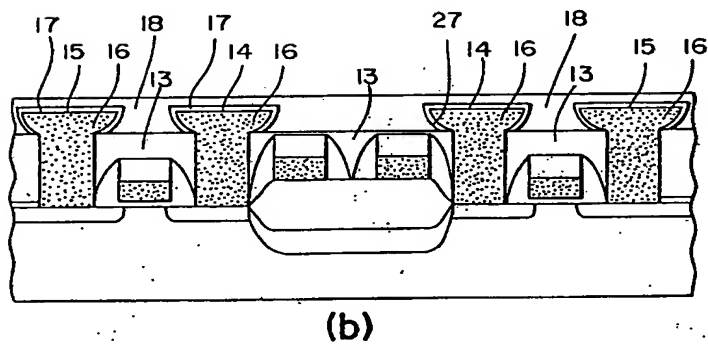
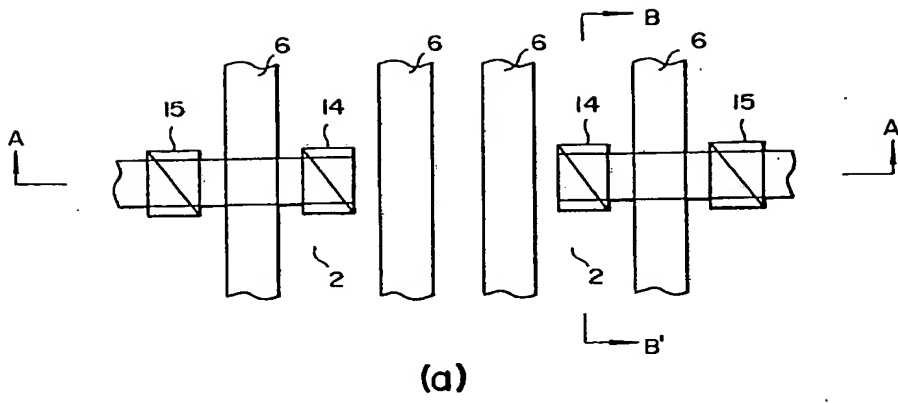
第42図



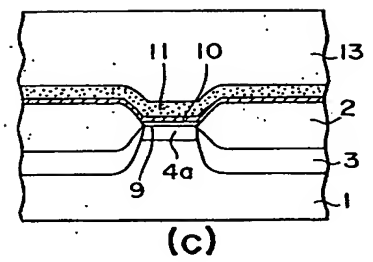
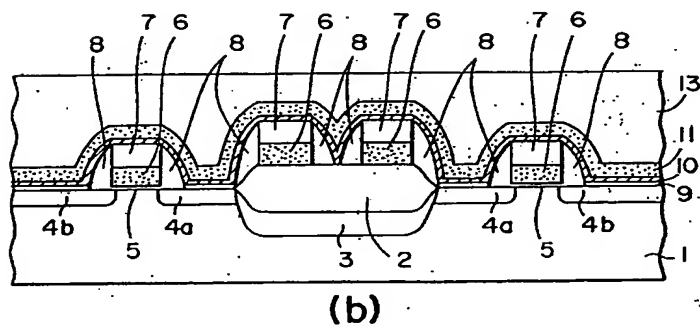
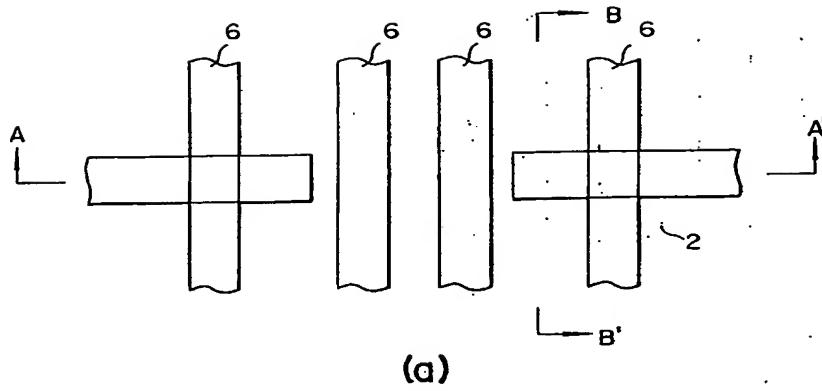
第43図



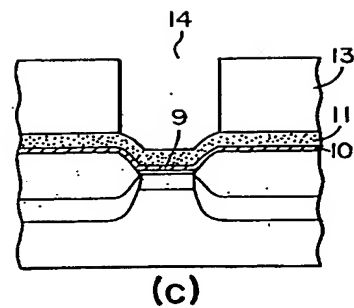
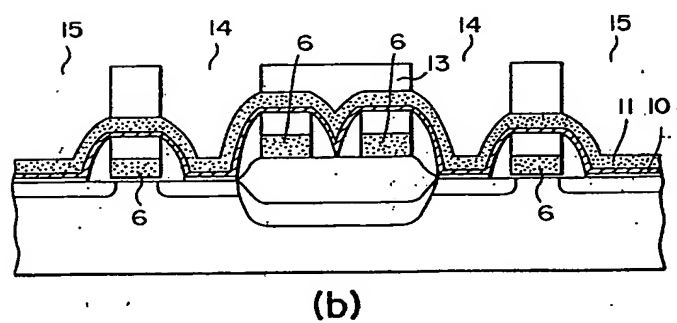
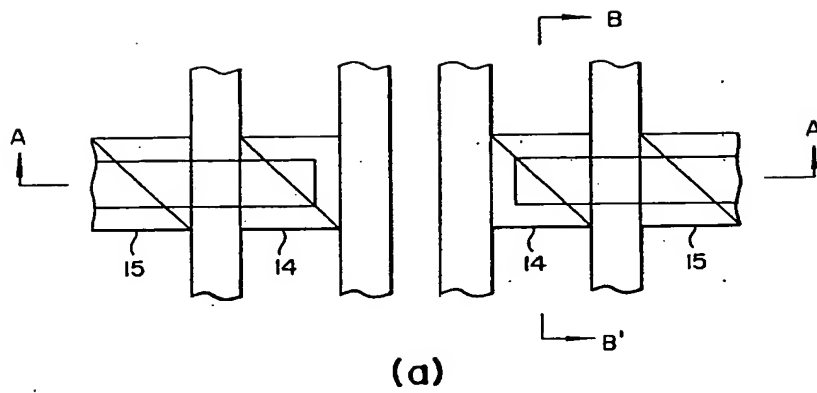
第 44 図



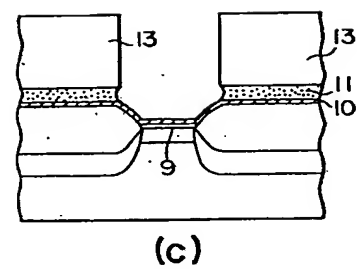
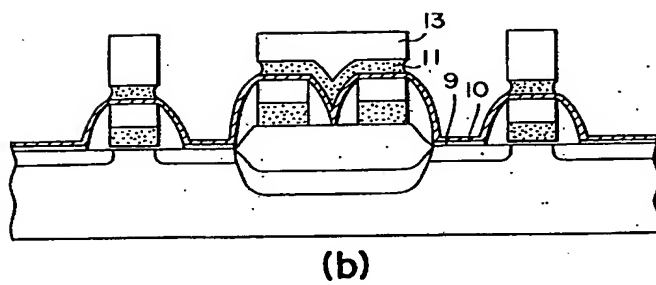
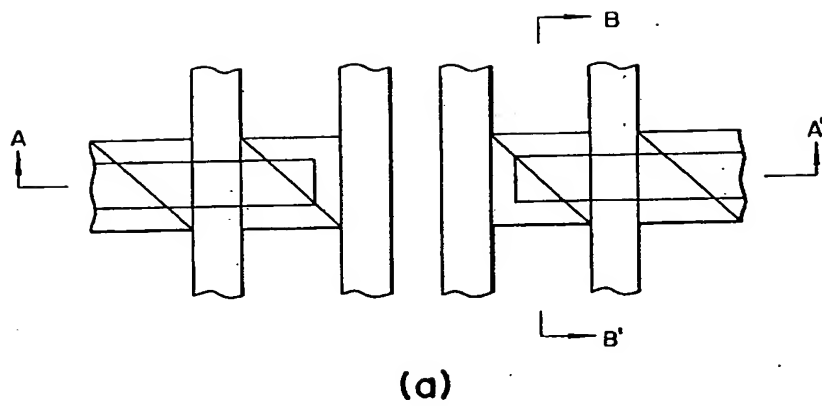
第 45 図



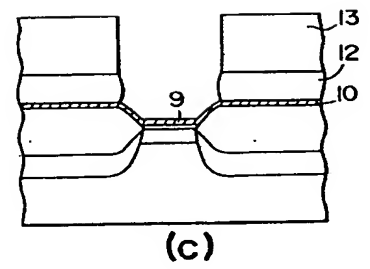
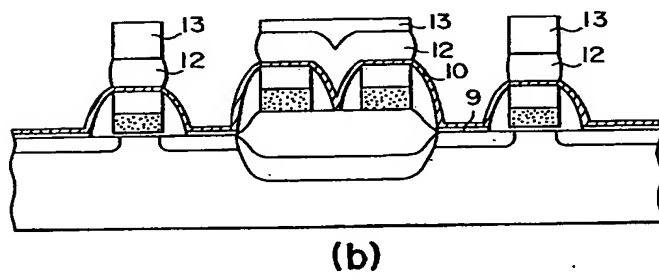
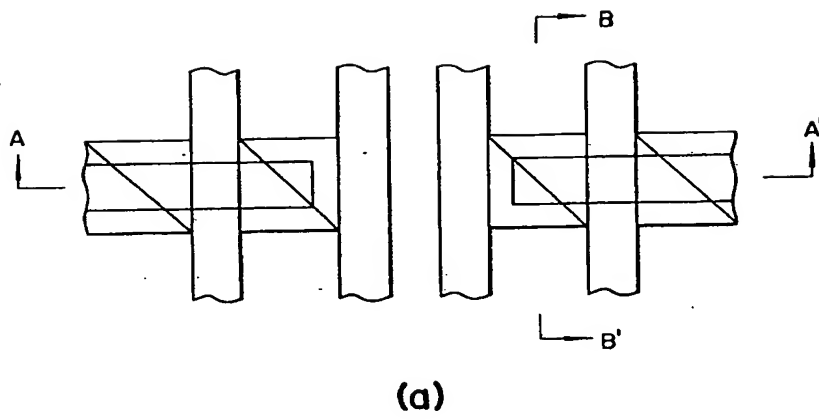
第46図



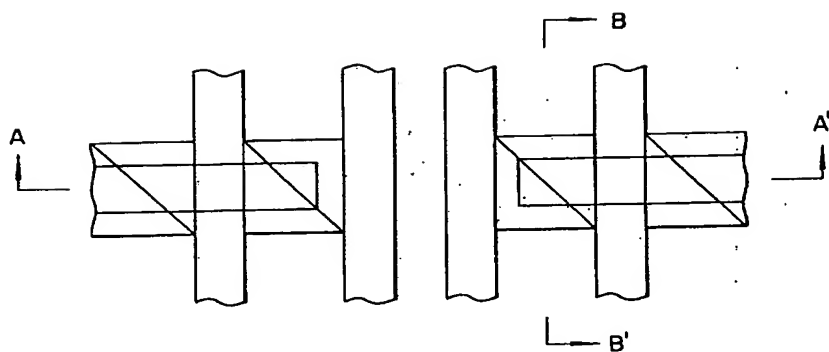
第 47 図



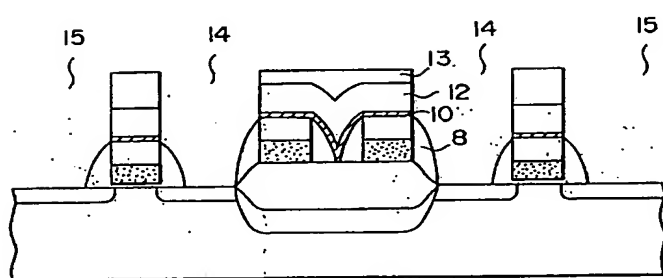
第48 図



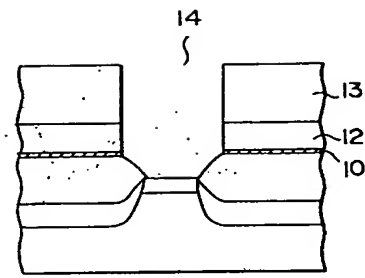
第 49 図



(a)

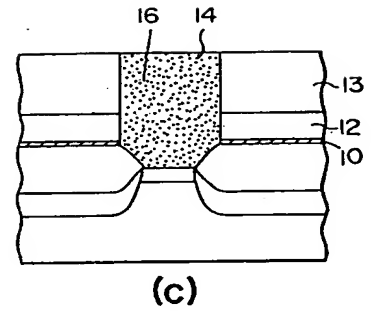
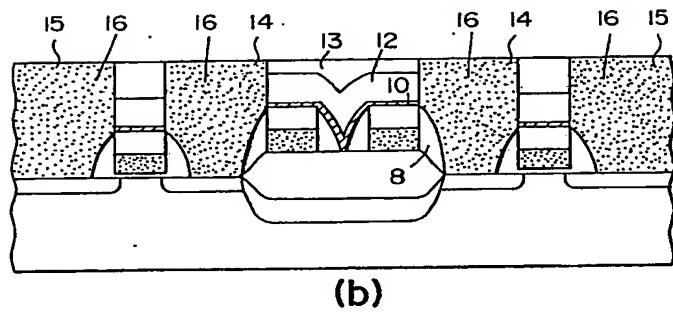
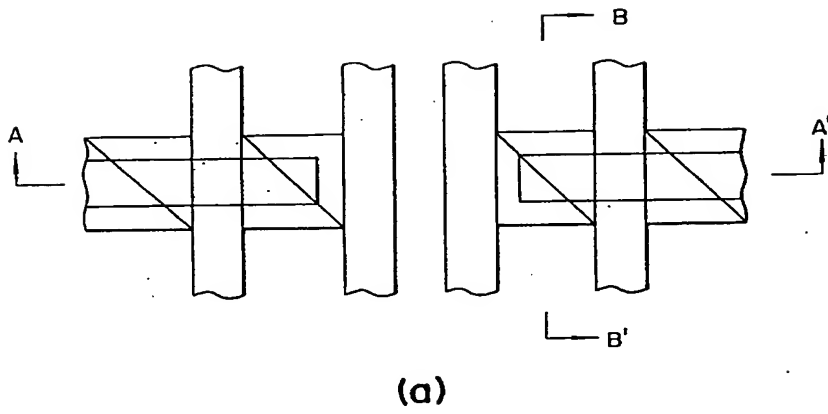


(b)

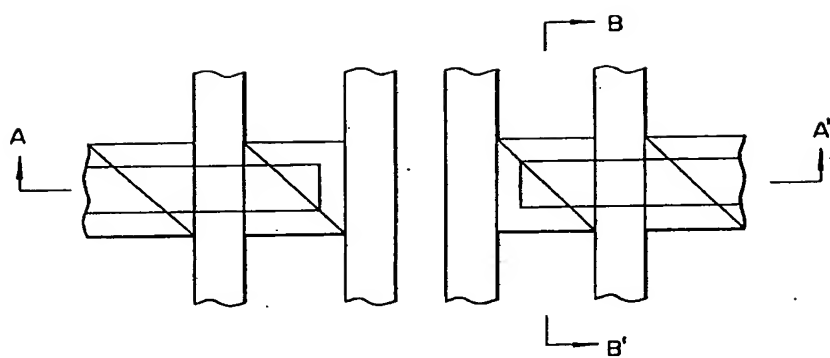


(c)

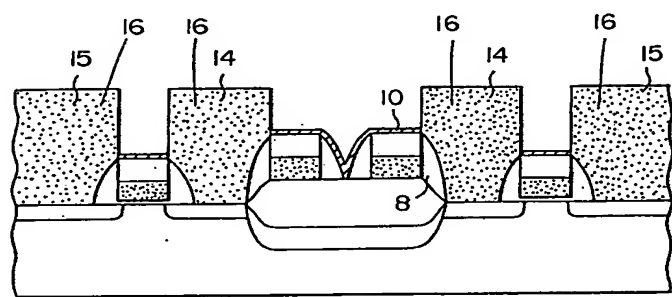
第 50 図



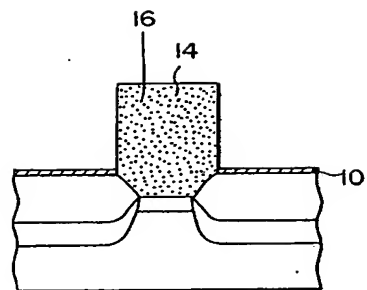
第 51 図



(a)

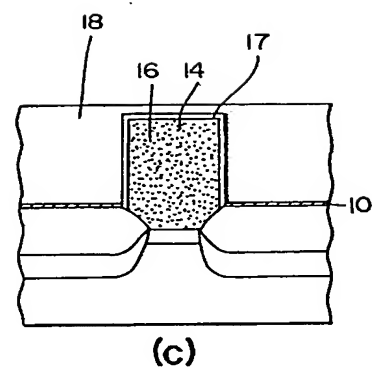
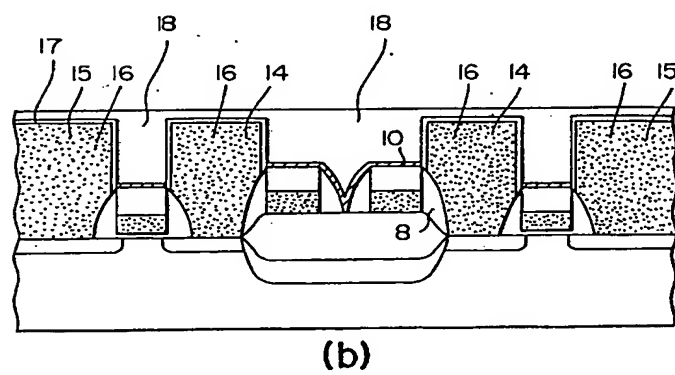
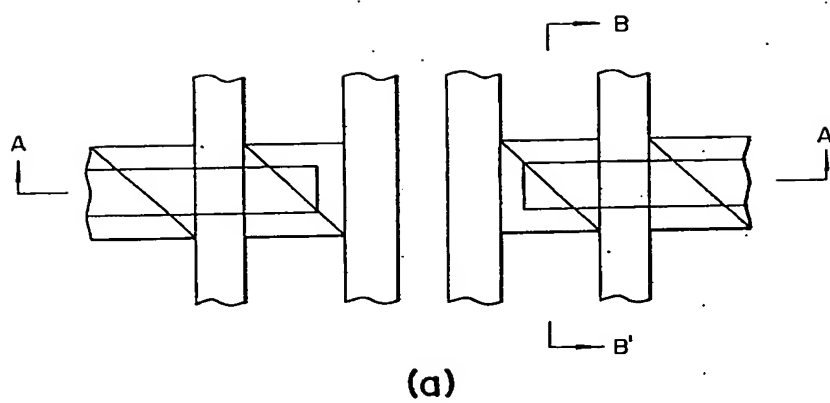


(b)

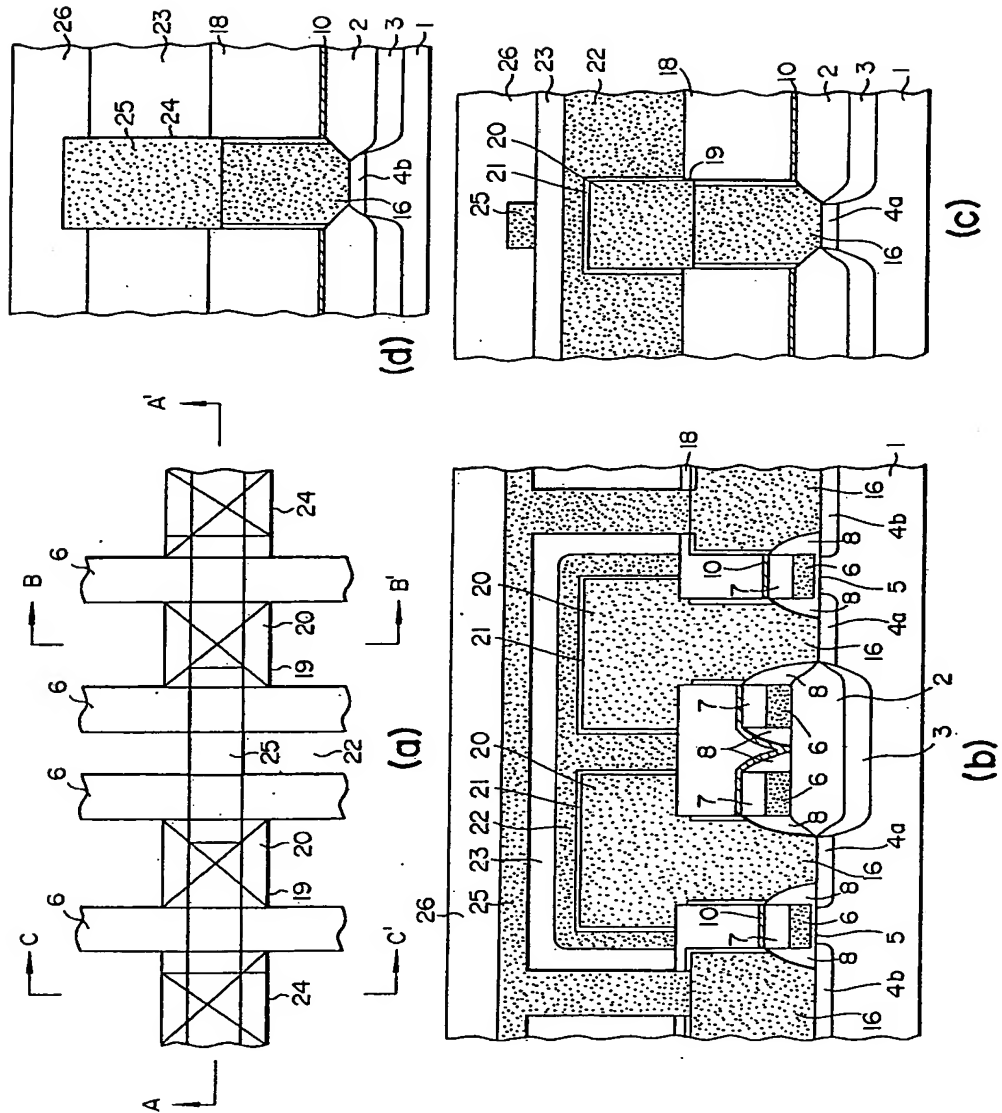


(c)

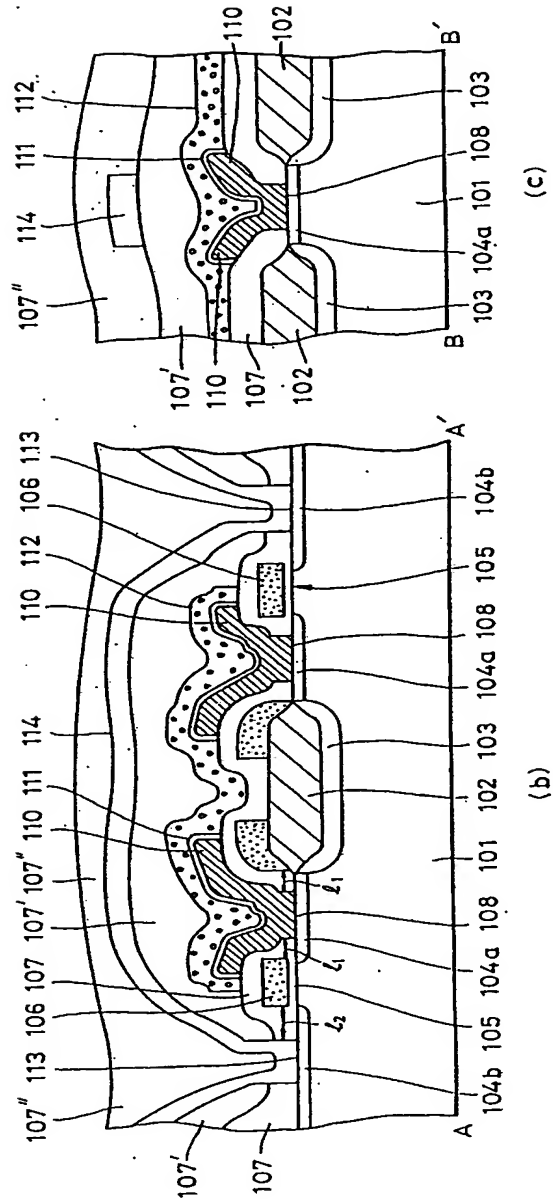
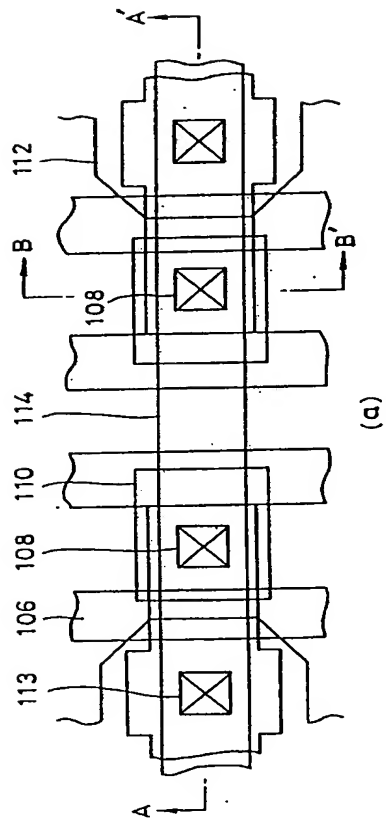
第52 図



第 53 図



第54図



55圖集

第1頁の続き

⑤Int. Cl.⁵

H 01 L 27/04

識別記号

C

庁内整理番号

7514-5F

⑦発明者	須之内 一正	神奈川県川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑦発明者	井上 聡	神奈川県川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑦発明者	仁田山 晃寛	神奈川県川崎市幸区小向東芝町1	株式会社東芝総合研究所内